
CAPITULO 4

SIMULACIÓN, IMPLEMENTACIÓN Y RESULTADOS DEL SISTEMA

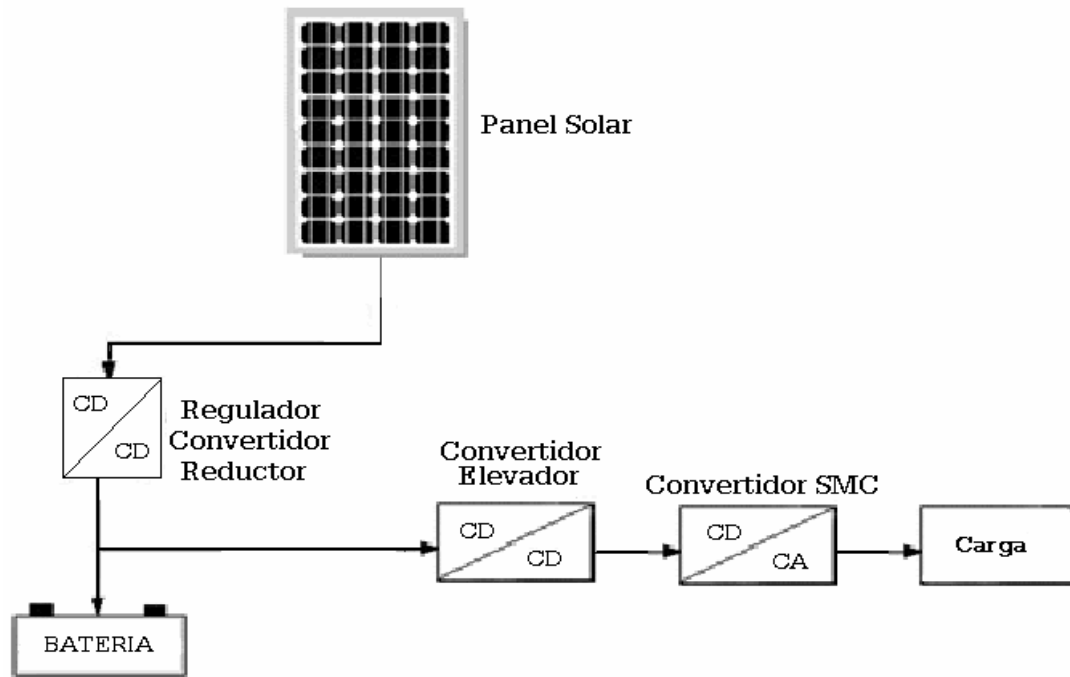
4.1 Introducción

Para el desarrollo del sistema autónomo solar presentado en esta tesis se utilizaron paneles solares provenientes del laboratorio de la institución los cuales generan un voltaje de salida de 21 volts de CD cada uno. Debido a que el voltaje proveniente de los paneles solares varía dependiendo del grado de incidencia de la luz solar, se necesita un regulador que mantenga el voltaje estable en un nivel determinado, que para este caso fue de 12 volts de CD ya que este es el voltaje que necesitan las baterías para recargarse. Para lograr esta regulación de voltaje se simuló e implementó un convertidor reductor en lazo cerrado.

El voltaje obtenido del regulador es de una magnitud pequeña por lo que se simuló e implementó un convertidor elevador para obtener un voltaje de mayor magnitud de aproximadamente 120V.

Con este incremento en el voltaje de CD la siguiente etapa consiste en transformar este voltaje en un voltaje de CA, por lo que se propuso la implementación de un convertidor multicelda apilable de 3x2 con una carga

resistiva, ya que este tipo de convertidores presenta grandes ventajas, además de que se continúa con la línea de investigación de la Universidad. En la figura 4.1 se muestra el diagrama a bloques del sistema solar autónomo propuesto.



4.1 Diagrama a Bloques del Prototipo

Las simulaciones del convertidor elevador, reductor y el convertidor multicelda apilable se realizaron mediante el paquete de simulación PSIM, todo esto con el fin de probar el funcionamiento de los componentes del sistema. Una vez realizadas las simulaciones y probado el funcionamiento del sistema, se llevó a la práctica obteniéndose los resultados que se presentan en este capítulo.

4.2 Paneles Solares

Los paneles solares están formados por un número variable de celdas fotovoltaicas, estas celdas están construidas con material semiconductor siendo capaces de producir voltaje cuando están expuestos a los rayos del sol.

El panel solar usado como alimentación del sistema es marca Siemens M-55, el cual esta compuesto por 36 celdas. Las características de este panel solar se muestran en la tabla 4.1.

Power Rating (Watts)	55
Current at rated power (amps)	3.15
Voltage at rated power (volts)	17.4
Short circuit current(amps)	3.45
Open circuit voltage (volts)	21.7

Tabla 4.1. Características del panel siemens M-55

Este panel será el encargado de generar el voltaje de corriente directa que alimente nuestro sistema.

4.3 Implementación del Convertidor Elevador

El circuito que se simuló se muestra en la figura 4.2. En la tabla 4.2 se muestran los parámetros usados para el diseño del circuito y para su posterior implementación. Los valores del inductor y el capacitor se obtuvieron basándose en las formulas presentadas en el capítulo 2 referentes a convertidores elevadores (2.6 y 2.7)

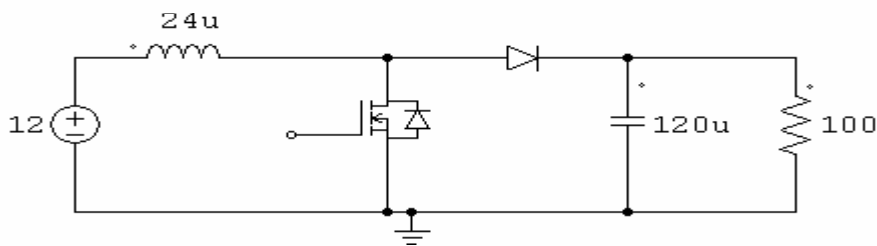


Figura 4.2. Circuito del Convertidor elevador

Parámetro	Valor
Voltaje de entrada	12 V (pilas)
Inductor	24 μ
Capacitor	120 μ
Ciclo de trabajo	90%
Resistencia	100 Ω

Frecuencia de conmutación	18 KHz
---------------------------	--------

Tabla 4.2. Parámetros del modelo del convertidor elevador

4.3.1 Resultados de la Simulación del Convertidor Elevador

En la figura 4.3 se observa el voltaje de salida del convertidor elevador, que es de aproximadamente 120 V, la tensión de entrada proveniente de las baterías es de 12V y se trabaja a una frecuencia de conmutación de 20 KHz.

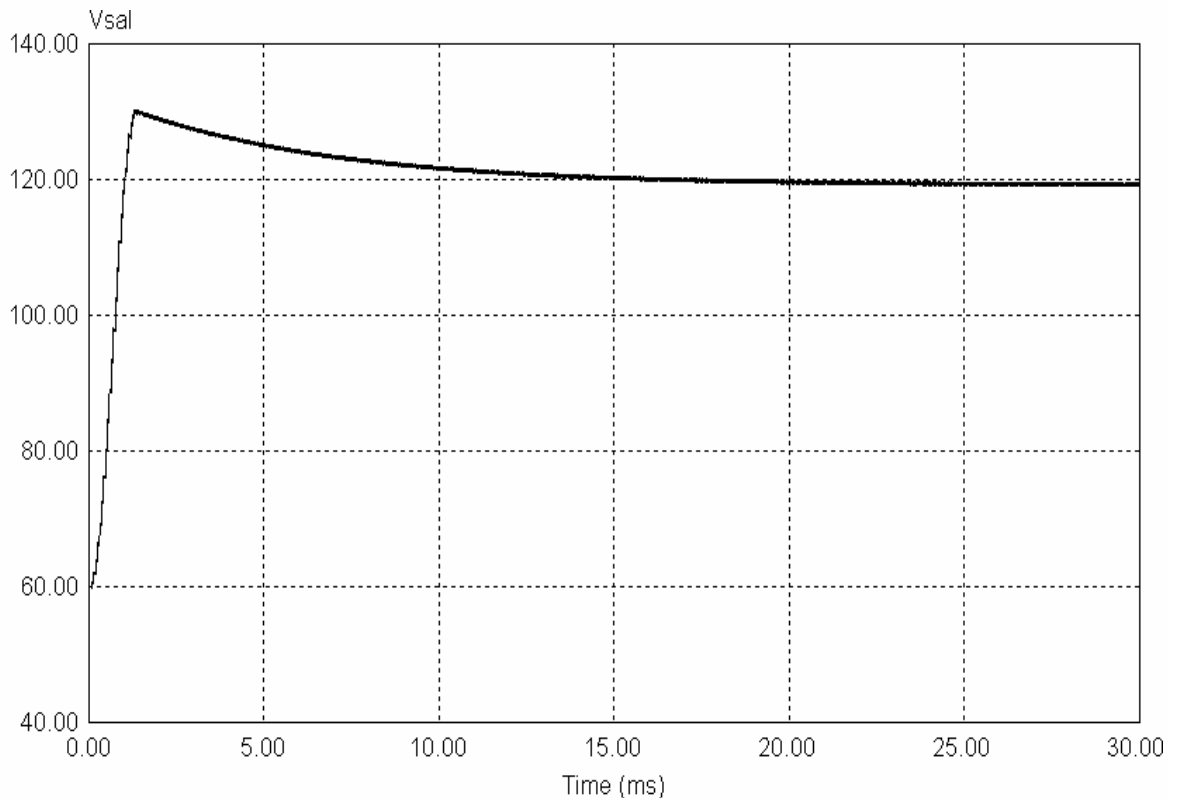


Figura 4.3. Voltaje de salida del convertidor elevador

Para la generación de este voltaje es necesario tener un ciclo de trabajo grande, este valor se calcula mediante la ecuación 2.5, por lo que se obtiene un ciclo de trabajo del 90%, como el mostrado en la figura 4.4.

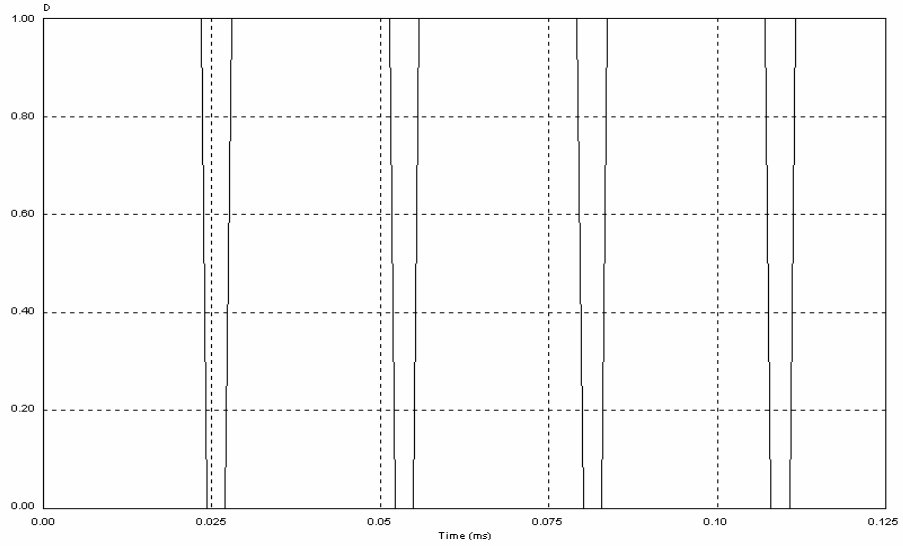


Figura 4.4. Ciclo de trabajo del convertidor elevador

4.3.2 Resultados de la Implementación del Convertidor Elevador

Cuando se implementó el convertidor elevador se usaron inicialmente, dos baterías de corriente directa, estas baterías se conectaron en serie para tener un voltaje de 12V, ya que cada una produce 6 V y 1 Amp obteniéndose un voltaje de salida de 75 V como se ve en la figura 4.5. Esto debido a que el ciclo de trabajo máximo que se obtuvo fue de 82%.

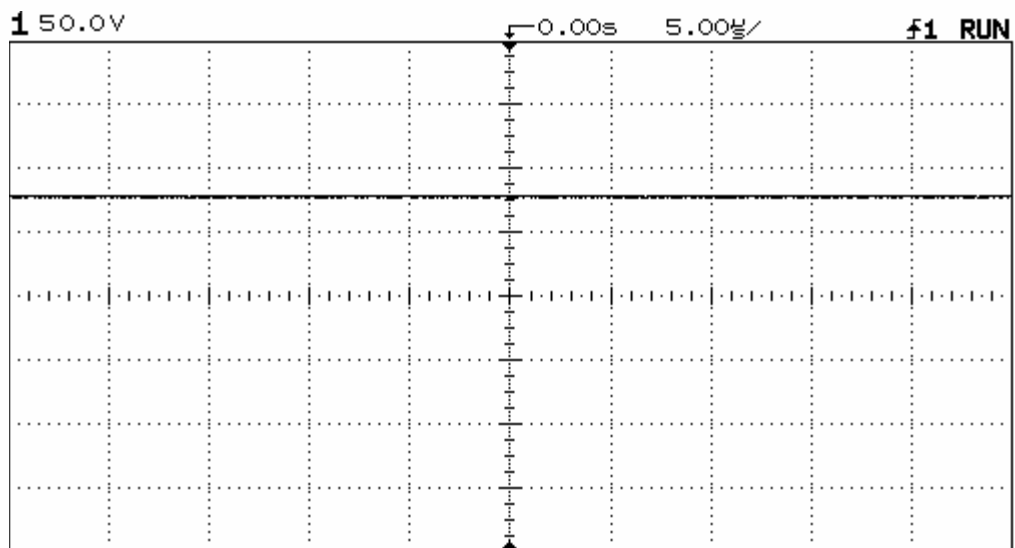


Figura 4.5 Voltaje experimental de salida del convertidor elevador

El ciclo de trabajo generado se muestra en la figura 4.6 siendo este de 82%, ya que no se pudo lograr el ciclo de 90% debido a que es demasiado grande y se empieza a deformar el ciclo de trabajo. En los sistemas de potencia es importante aislar la etapa de potencia de la etapa de control por lo que se realizó un aislamiento mediante un opto acoplador y un driver con el fin de aislar dichas etapas.

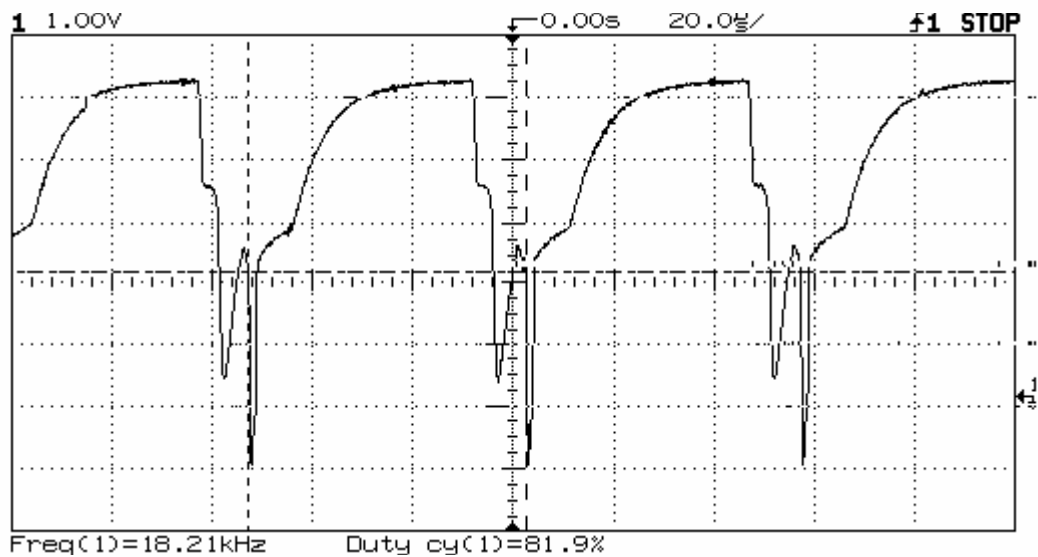


Figura 4.6 Ciclo de trabajo del convertidor elevador

4.4 Prototipo del Convertidor Multicelda Apilable

Como se había mencionado se diseñó e implementó un convertidor multicelda apilable de 3x2, como el mostrado en la figura 4.7. Los parámetros que fueron utilizados para la simulación y el desarrollo experimental del prototipo se exponen en la tabla 4.3. El valor de los capacitores flotantes se obtuvo a partir de la ecuación (3.10) del capítulo 3.

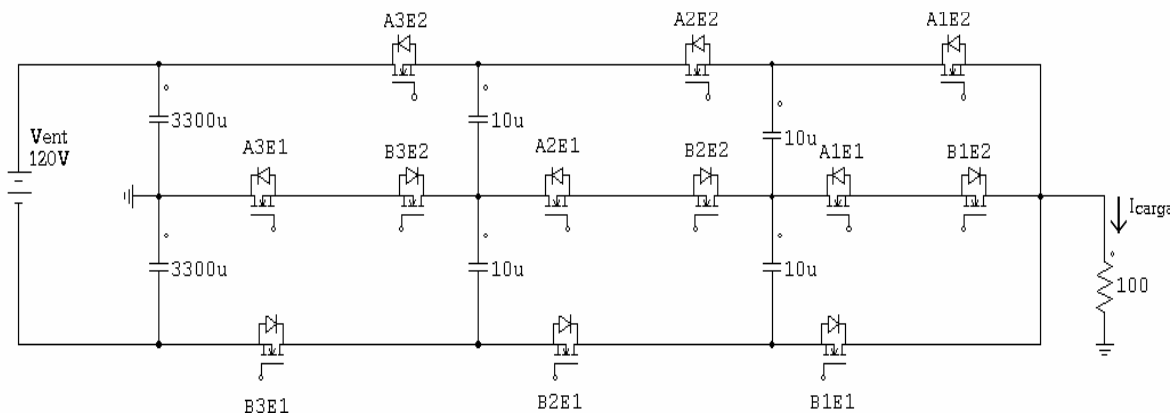


Figura 4.7 Prototipo del Convertidor multicelda apilable de 3x2

Es importante mencionar que el voltaje de entrada del convertidor multicelda apilable proviene de un convertidor elevador.

Parámetro	Valor
Voltaje de entrada (CD)	120 V
Resistencia	100 Ω
Capacitores flotantes	10 µ
Frecuencia de conmutación	20 KHz

Tabla 4.3. Parámetros de diseño del SMC de 3x2

4.4.1 Diseño del Sistema de Control del SMC

En la actualidad un Procesador Digital de Señales (DSP) tiene la capacidad de generar modulación por ancho de pulso *PWM* de una manera mucho más sencilla que los sistemas analógicos [4]. En este trabajo de tesis el sistema de control de un convertidor multicelda apilable está basado en la modulación por ancho de pulso *PWM*, la cual se ha implementado a través de un DSP de Analog Devices ADMC330-EVAL [21]. El diseño del sistema de control parte del sistema analógico presentado en la sección 3.5, el cual muestra que para controlar un SMC de 3x2 se necesitan en total doce señales de control. Para generar estas señales de control se usó un FPGA de Altera.

El FPGA usado es el EPM3064A, que pertenece a la familia MAX 3000A de Altera, que se basa en la arquitectura Altera MAX [22], el cual es fabricado con tecnología CMOS y tiene una capacidad de implementar hasta 1250 compuertas lógicas. Sus salidas pueden tener un voltaje de 2.5 o 3.3 volts, y los pines de entrada tiene una capacidad de tolerar 2.5, 3.3 y 5.0 volts.

Con este componente y basándose en la teoría de control del convertidor multicelda apilable de la sección 3.5, el DSP solo necesita generar dos señales de control, las cuales son la base para la generación de las doce señales de control. En la figura 4.8 se observa la secuencia de generación de las señales de control.

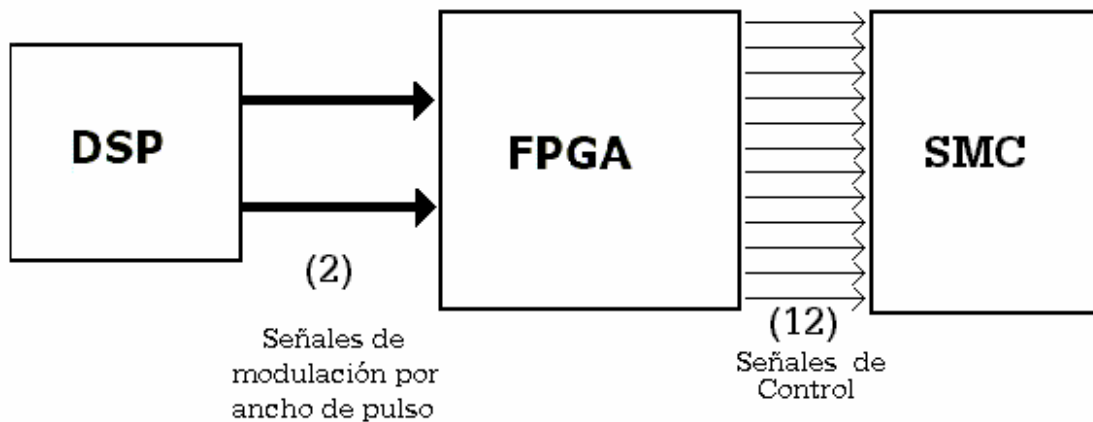


Figura 4.8. Sistema de control del SMC de 3x2

Para la implementación del sistema de control fue necesaria la programación de los dos dispositivos digitales (DSP, FPGA). Para el DSP el programa utilizado fue el depurador "Motion Control Debugger" desarrollado por Analog Devices, el cual permite la creación de aplicaciones que pueden ser ejecutadas en la tarjeta de evaluación ADMC330. La herramienta utilizada para el FPGA fue el sistema de desarrollo de lógica programable MAX+PLUS II, que es desarrollado por Altera Development Systems.

4.4.1.1 Generación del PWM y Resultados (DSP)

La función del DSP fue la generación de dos señales moduladas por ancho de pulso (*PWM*) con una frecuencia de conmutación de 20 kHz y con un ciclo de trabajo máximo del 80%, la frecuencia de la señal de modulación es de 60Hz, en la figura 4.9 se muestran las señales de PWM.

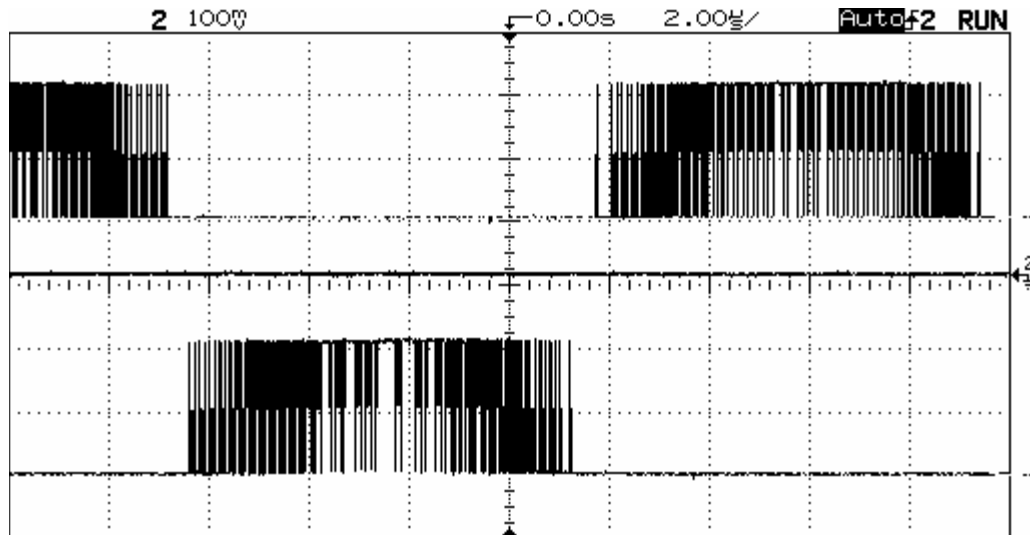


Figura 4.9 Señales moduladas por ancho de pulso (16.66 mseg)

4.4.1.2 Generación y Resultados de las Señales de Control (FPGA)

Las dos señales de la figura 4.9 deben pasar al FPGA para que éste genere la secuencia correcta de disparo de los interruptores del SMC, por lo que se deben generar doce señales a partir de las dos señales obtenidas del DSP. Estas señales deben cumplir con el respectivo desfaseamiento entre celdas adyacentes del mismo nivel, que para el caso de un SMC de 3x2 es de 120° , lo cual corresponde a $16.6 \mu\text{seg}$. En la figura 4.10 se muestran dos señales de disparo generadas mediante el FPGA, y en donde se puede apreciar el desfaseamiento de 120° de las señales de disparo de los interruptores *A3E2* y *A2E2*.

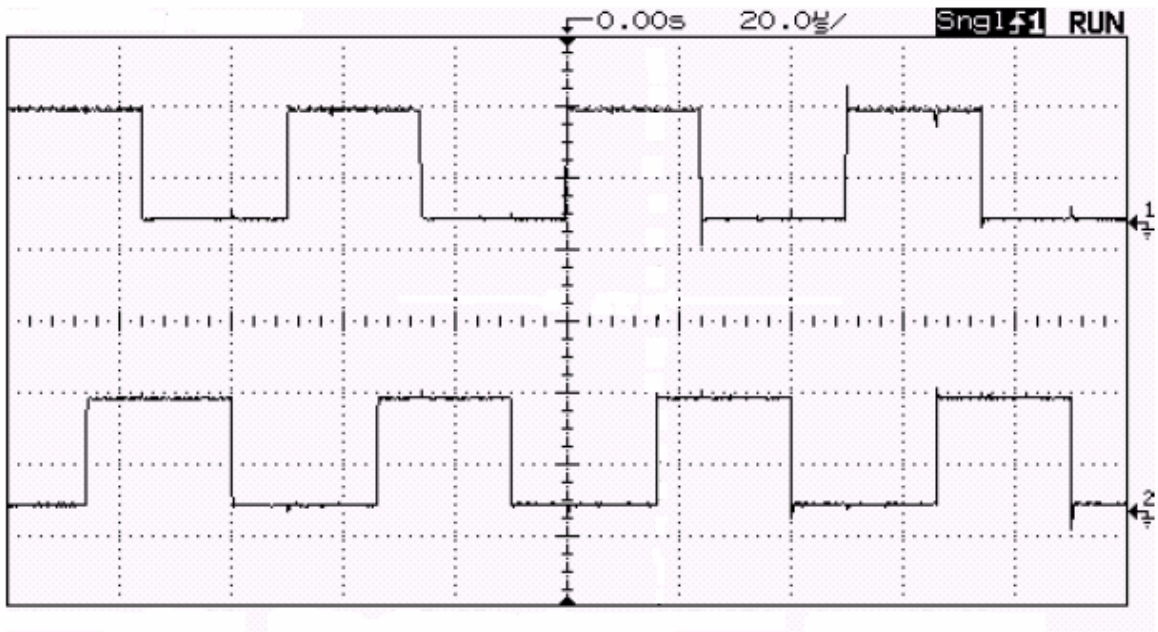


Figura 4.10. Señal de control del FPGA con desfase de 120°

Ahora en la figura 4.11 se ilustran las señales de disparo generadas por el FPGA para el caso de los dispositivos de conmutación *A3E2* y *A1E2*, en donde el desfase de estas señales debe ser de 240° , lo cual corresponde a 33.6 μ seg.

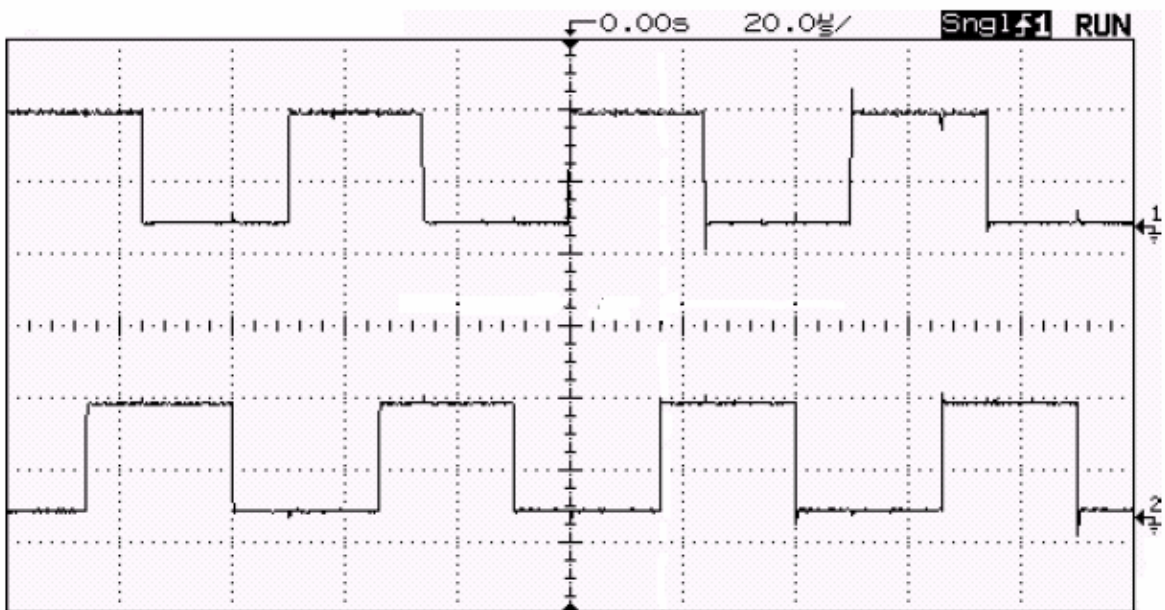


Figura 4.11. Señal de control del FPGA con desfase de 240°

4.4.1.3 Aislamiento entre la Etapa de Potencia y la Etapa de Control

Como se mencionó anteriormente, en los sistemas de potencia se necesita del aislamiento eléctrico entre los circuitos de potencia y las señales de control para su protección. Por esta razón a la etapa del sistema de control se le aisló mediante el uso de optoacopladores utilizando el HCPL-4502, también se utilizó un dispositivo de control de disparo de MOSFET 's el "driver" IR4427. En la figura 4.12 se presenta el circuito de aislamiento para un solo interruptor de conmutación, es importante mencionar que cada interruptor del SMC de 3x2 tendrá el circuito de la figura 4.12.

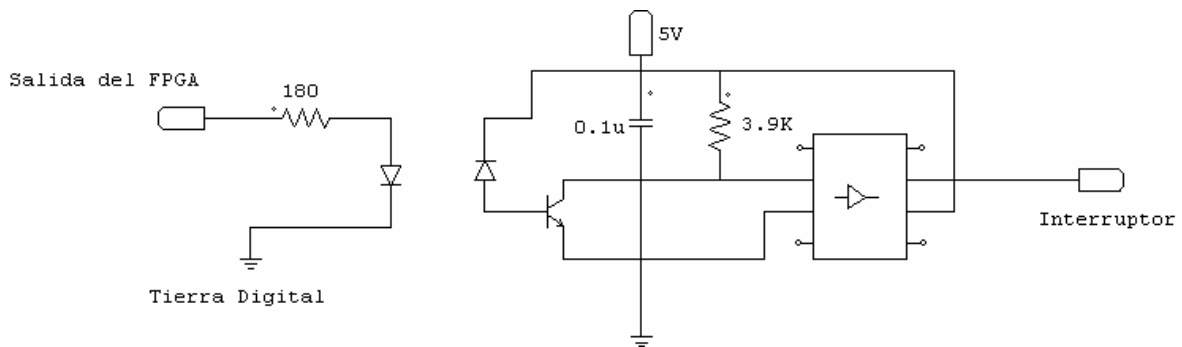


Figura 4.12 Circuito de aislamiento entre el sistema de potencia y el de control del SMC de 3x2

4.4.2 Resultados de la Simulación del Prototipo del SMC

El voltaje de salida del convertidor con una carga resistiva de 100Ω (V_{salida}) se ilustra en la figura 4.13. Como se puede observar la señal de salida está formada por siete niveles de voltaje y la amplitud de cada uno de estos niveles de voltaje es igual a $V_{ent}/(pxn)$, donde V_{ent} es de 120 V y p y n tienen un valor de 3 y 2 respectivamente, siendo en este caso aproximadamente de 20 volts (figura 4.14). De esta forma da como resultado una señal de voltaje de salida de 120 V_{p-p} , con una frecuencia de salida igual a 60 Hz , la cual se programó en el DSP.

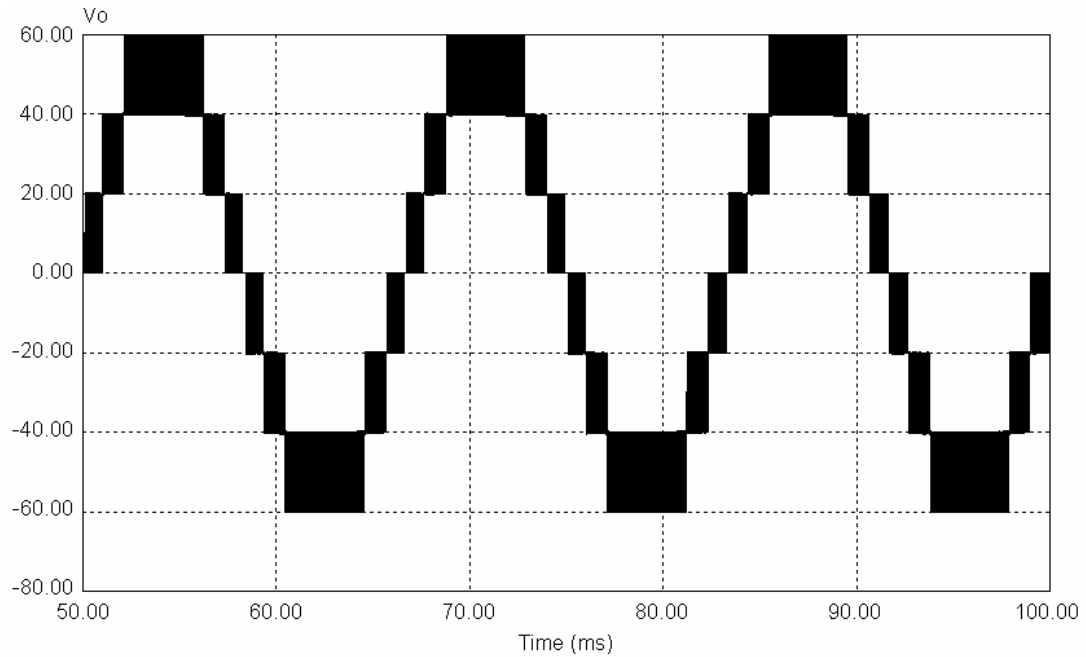


Figura 4.13. Voltaje de salida del SMC de 3x2.

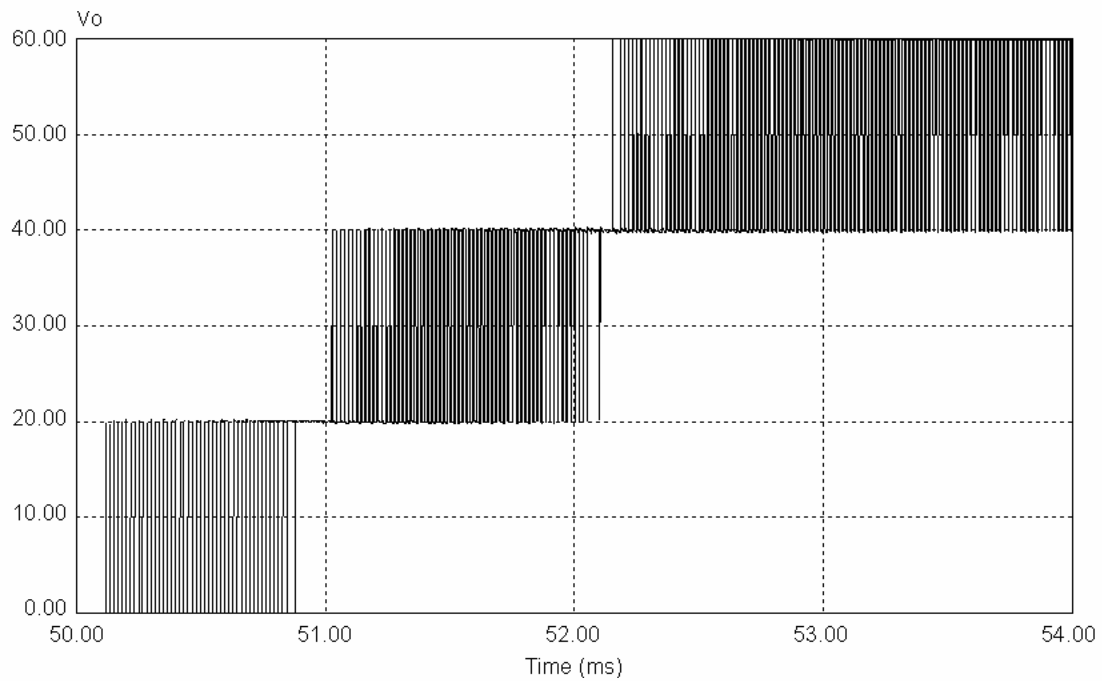


Figura 4.14. Detalle del voltaje de salida

En el prototipo de la figura 4.7 se tiene una carga puramente resistiva de 100Ω , por lo que la forma de onda de la corriente de carga (I_{carga}) conserva la misma forma que el voltaje y se puede ver en la figura 4.15, donde la corriente pico a pico es de aproximadamente 1.2 A.

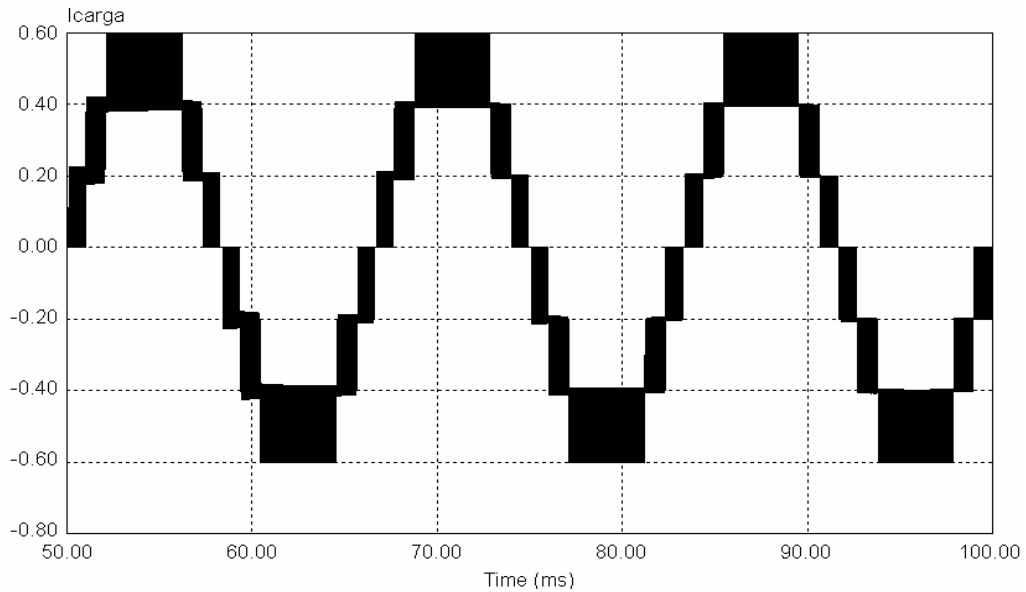


Figura 4.15 Corriente de salida del SMC de 3x2

Los convertidores multicelda apilables tienen la característica de poseer un contenido armónico bajo. En la figura 4.16 se presenta el espectro del voltaje en la carga. Se debe notar que el primer armónico significativo se presenta en el valor determinado por la frecuencia aparente de salida $pf_{sw}[10]$, que para el prototipo es igual a 60 KHz.

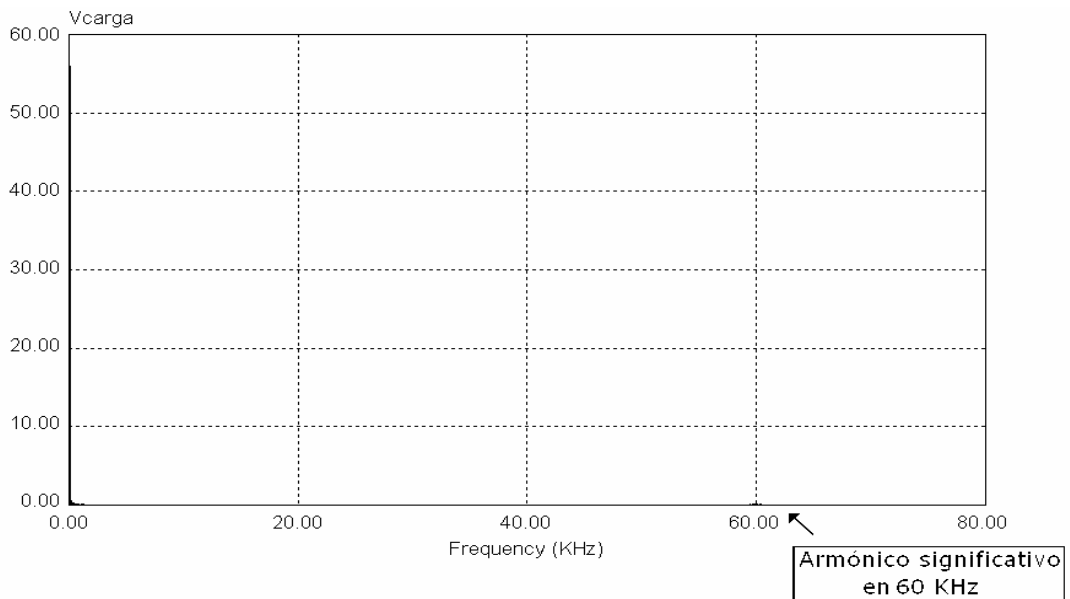


Figura 4.16. FFT del voltaje de salida del SMC DE 3x2

Para observar la magnitud de la componente fundamental del voltaje de salida en la figura 4.17 se presenta su espectro en frecuencia, siendo esta magnitud de la componente fundamental igual a 55 Volts.

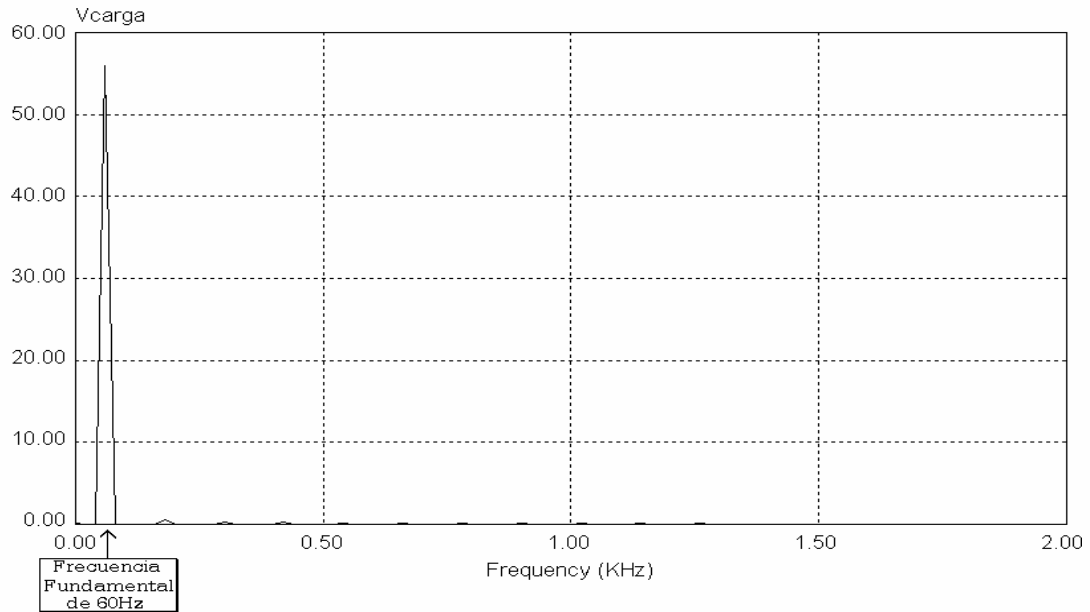


Figura 4.17. Componente fundamental en el voltaje de salida

4.4.3 Diseño del Filtro de Salida del SMC

Como se mostró en la figura 4.13 el voltaje de salida obtenido está formado por siete niveles de voltaje, para acercarse a una señal sinusoidal es necesario diseñar un filtro de salida, como el citado en la sección 3.6, el cual está formado por un inductor L_o y un capacitor C_o conectados en la salida. El aumento de estos dispositivos al modelo inicial se puede observar en la figura 4.18.

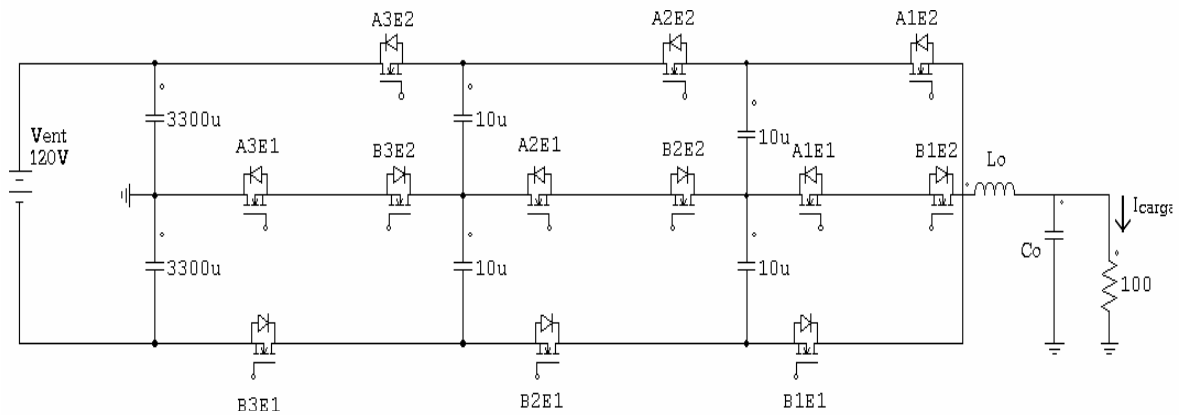


Figura 4.18. Convertidor multicelda apilable con filtro de salida

El filtro de salida se diseña con base en las siguientes especificaciones:

- $V_{ent} = 120 \text{ V}$
- $I_{max} = 1 \text{ A}$

Sustituyendo los parámetros necesarios en las ecuaciones (3.24) y (3.28) se pueden obtener los valores de L_o y C_o respectivamente, que para el caso del prototipo resultan:

- $L_o = 5.20 \text{ mH}$.
- $C_o = 27.7 \text{ nF}$.

En la figura 4.19 se presenta el voltaje y la corriente en la carga después de la simulación del circuito de la figura 4.18, como se puede observar con el uso del filtro de salida el voltaje y la corriente en la carga toman una forma de onda sinusoidal.

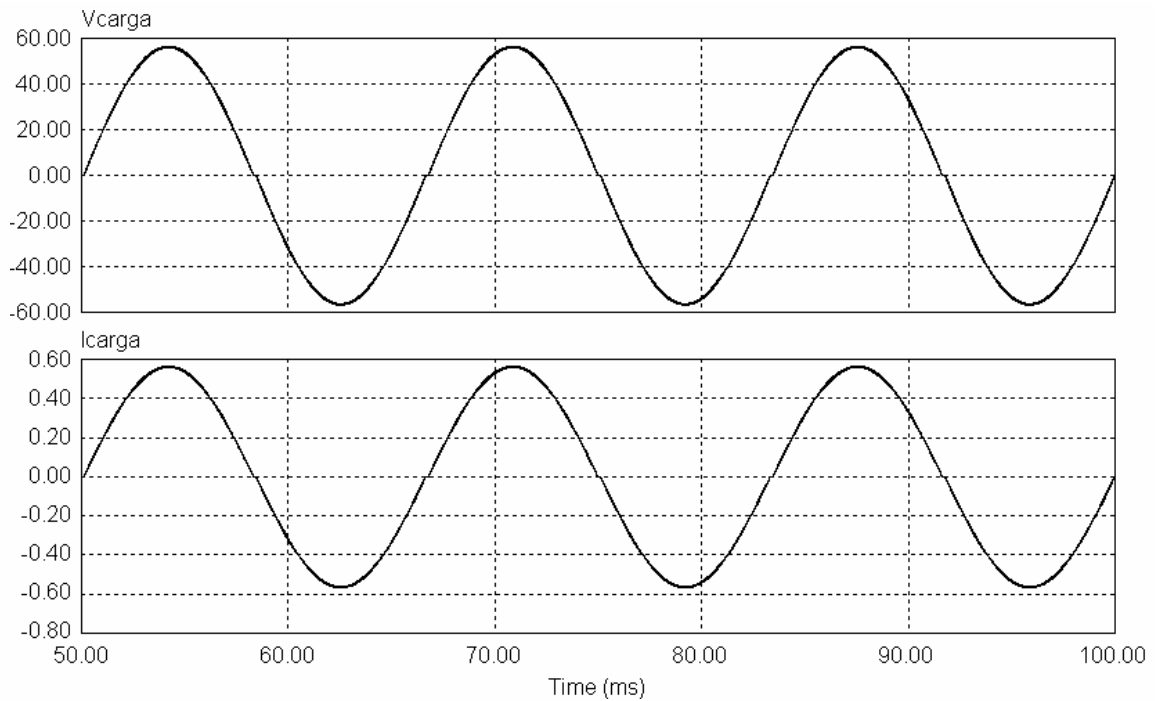


Figura 4.19. Voltaje y Corriente en la carga al implementar el filtro de salida

4.4.4 Implementación del SMC

A continuación se muestran los resultados de la implementación del prototipo de la figura 4.7. En la figura 4.20 se muestra el voltaje de salida con carga resistiva y un voltaje de alimentación proporcionado por la salida del elevador. Como se puede observar, la tensión de salida está compuesta por siete niveles de voltaje tomando en cuenta el nivel de referencia de cero volts, con una frecuencia de 59.8 Hz, y una amplitud pico a pico de 75 Volts ya que fue el voltaje máximo que se pudo obtener del elevador.

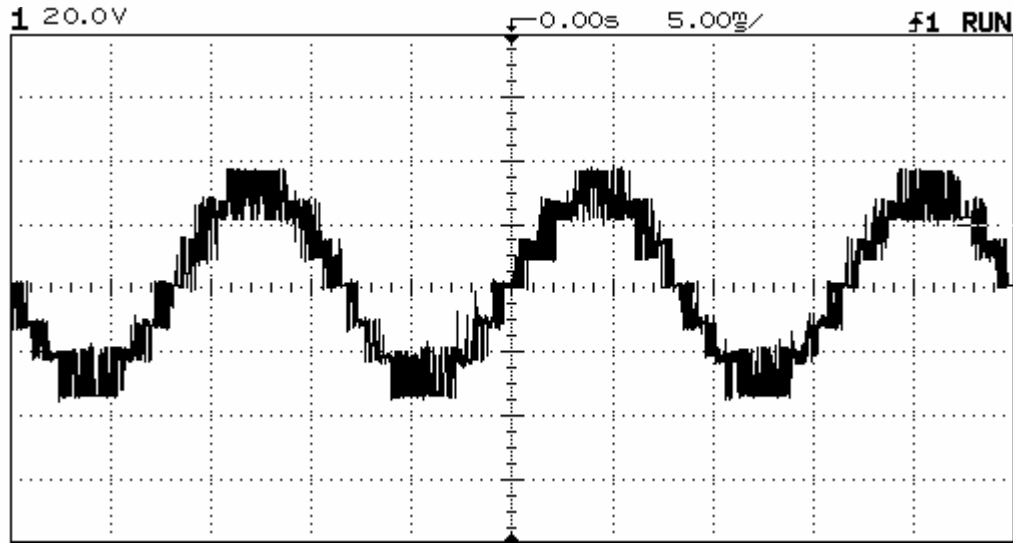


Figura 4.20. Forma de onda del voltaje de salida del SMC usando pilas como voltaje de entrada

Cuando se agrega el filtro de salida al prototipo como el que se muestra en la figura 4.18, con los valores obtenidos anteriormente, se obtienen las formas de onda de corriente y voltaje mostradas en la figura 4.21 con carga resistiva.

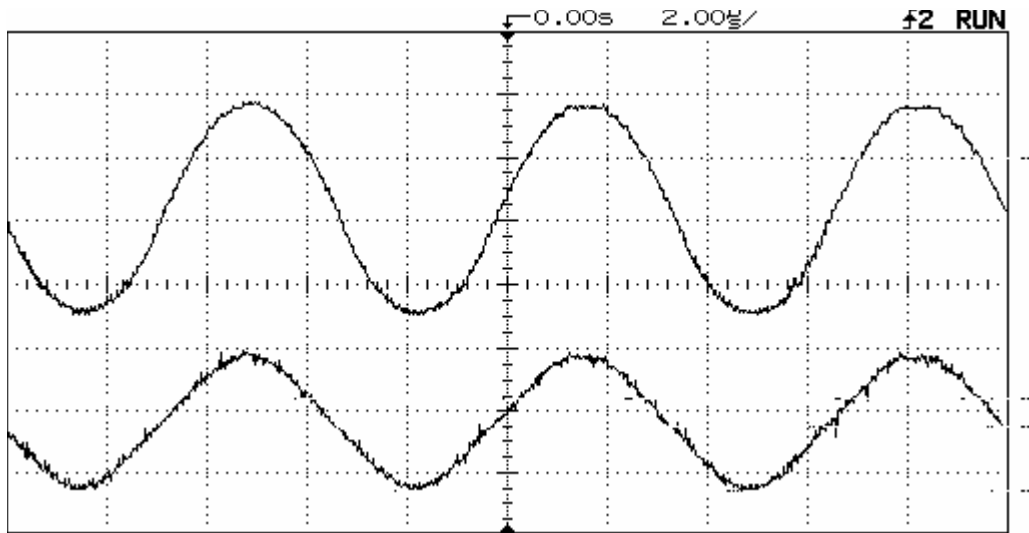


Figura 4.21. Voltaje y Corriente del SMC con filtro de salida y usando baterías

En las figuras 4.22 y 4.23 se puede observar en detalle el voltaje y la corriente obtenida.

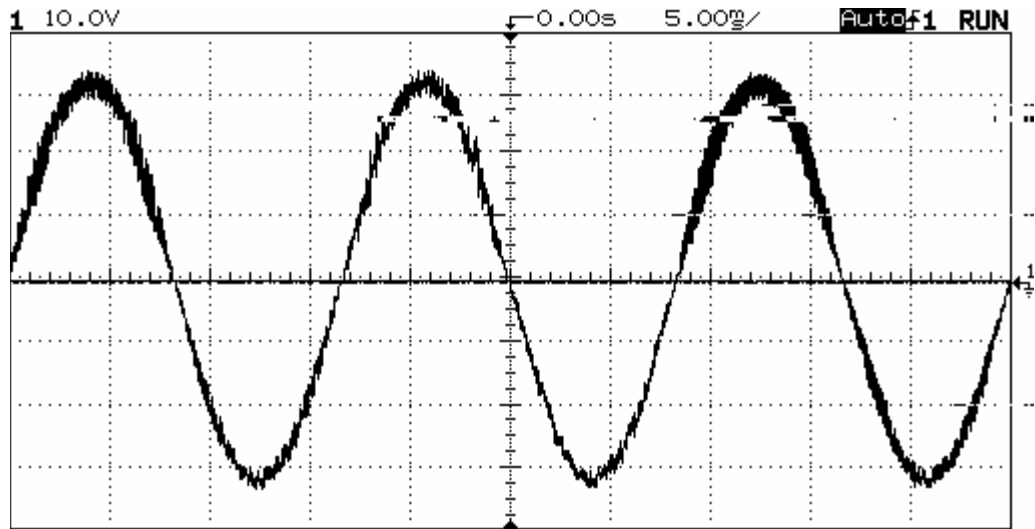


Figura 4.22. Detalle de la forma de onda del voltaje de salida del SMC

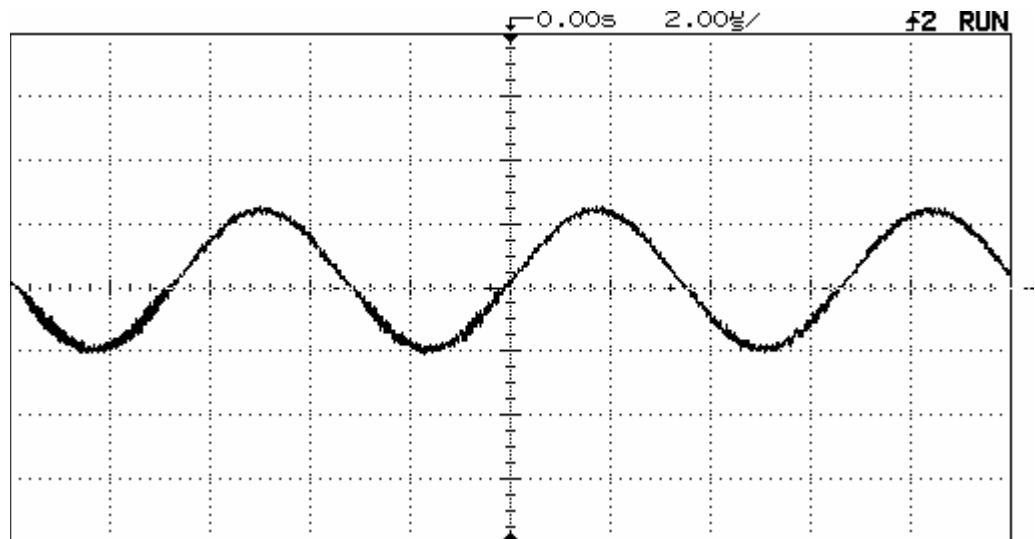


Figura 4.23. Detalle de la señal de corriente de salida del SMC

Los valores obtenidos a la salida con la implementación del filtro de salida en la estructura SMC de 3x2 con carga resistiva, se muestran en la tabla 4.4:

Summary Information			Voltage	Current
Frequency	59,85	RMS	22,42	0,18
Power		Peak	31,82	0,23
Watts	3,00	DC Offset	0,24	-0,03
VA	4,00	Crest	1,42	1,24
Vars	0,00	THD Rms	1,16	28,66
Peak W	8,00	THD Fund	1,16	29,92
Phase	0° lag	HRMS	0,26	0,05
Total PF	0,94	KFactor		5,15
DPF	1,00			

Tabla 4.4 Mediciones realizadas al Prototipo con carga resistiva

Con base en la tabla anterior se puede observar que se trabaja a una frecuencia de 59.85 Hz, además se tiene:

- Corriente de salida: $I_{rms} = .18 \text{ A}$.
- Voltaje de salida: $V_{rms} = 22.42 \text{ V}$
- Un factor de potencia Total PF = 94%

En donde la potencia de salida es igual a:

- Potencia de salida: $P_{salida} = 4.0356 \text{ Watts}$.

Para determinar la eficiencia η del convertidor, es necesario determinar el voltaje y la corriente promedio de entrada para calcular la potencia entregada al convertidor. Los valores medidos de corriente y voltaje promedio de entrada provenientes de las baterías son los siguientes:

- Corriente: $I_{entbaterias} = .39 \text{ A}$.
- Voltaje: $V_{entbaterias} = 12 \text{ V}$.

En donde la potencia de entrada es igual a:

- Potencia Pent = 4.68 Watts.

La eficiencia η del SMC de 3x2 con carga resistiva puede ser determinada por:

$$\eta \times 100\% = \frac{P_{salida}}{P_{entrada}} \times 100\% = 86\%$$

4.5 Implementación del Convertidor Reductor en Lazo Cerrado

Para poder regular el voltaje que se obtiene de los paneles solares en 12V se utilizó un convertidor reductor en lazo cerrado, el cual como su nombre lo indica reducirá un nivel de voltaje de entrada en otro. Su objetivo es mantener constante el voltaje de salida del convertidor reductor, que alimentará a las baterías y al convertidor elevador, sin importar las variaciones que se tenga en el voltaje de entrada generadas por los paneles solares. En la figura 4.24 se muestra el circuito del convertidor reductor controlado, para el control se utilizó el circuito UC3842 ya que puede manejar ciclos de trabajo cercanos al 100% y frecuencias de hasta 500 KHz. En la Tabla 4.5 se muestran los valores empleados para el diseño.

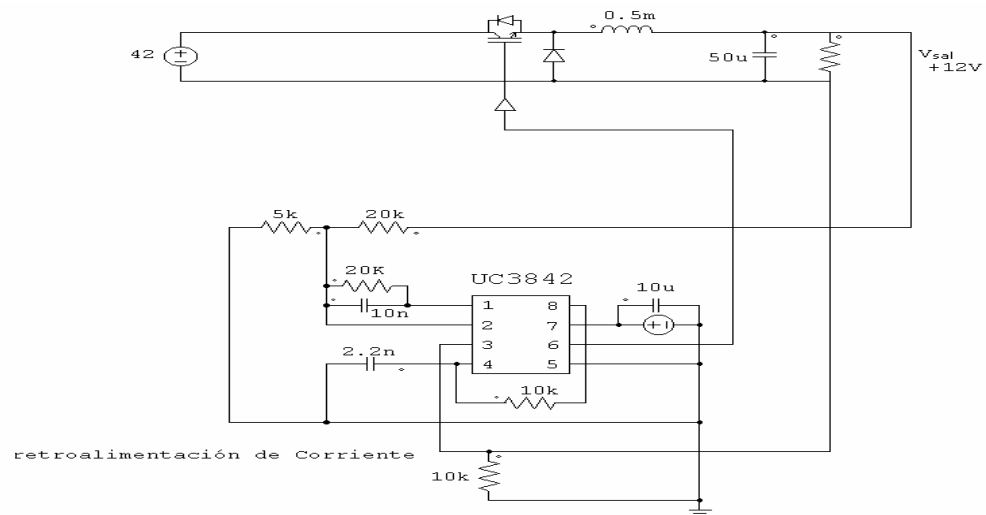


Figura 4.24. Convertidor reductor en lazo cerrado

Parámetro	Valor
Voltaje de entrada (CD)	42V
Resistencia	15 Ω
Capacitor	50 μ
Inductor	.5 m
Frecuencia de conmutación	80 KHz
Rt	10K Ω
Ct	2.2 nF
R3(censor de corriente)	10K Ω
C2 (retroalimentación)	10 nF
R2 (retroalimentación)	20 K Ω

Tabla 4.5. Parámetros del convertidor reductor

4.5.1 Resultados de la Simulación del Convertidor Reductor

El voltaje de salida de este convertidor se muestra en la figura 4.25, como se puede observar su valor oscila y se estabiliza en 12 volts.

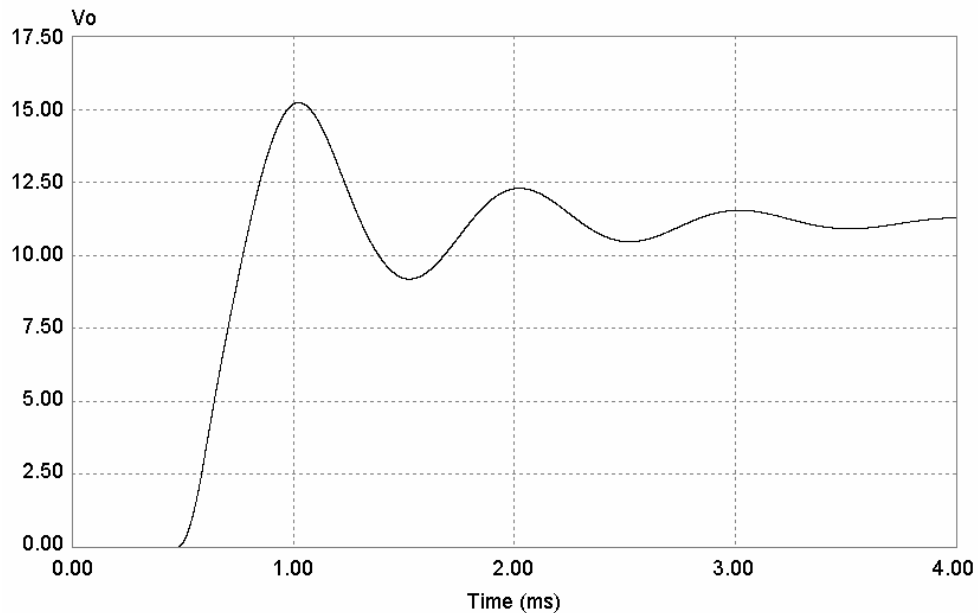


Figura 4.25. Voltaje de salida del convertidor reductor

Para el diseño de la retroalimentación se depende del PWM, el cual está integrado en el chip, el voltaje de salida necesita de un divisor de voltaje de

retroalimentación para obtener un voltaje de 2.5V, ya que es el voltaje de referencia que necesita el integrado [23], el cual se alimenta a través del amplificador de error y se compara contra la forma de onda de diente de sierra de la salida del PWM. En la figura 4.26 se muestra a detalle el circuito de control, donde se coloca el capacitor C3 entre tierra (pin 5) y Vcc (pin 7) como filtro para el voltaje de entrada que da energía al integrado, la resistencia R2 y el capacitor C2 se colocan en paralelo entre Vfb (pin1) y Comparación (pin 2), a este pin se conecta el divisor de voltaje de retroalimentación.

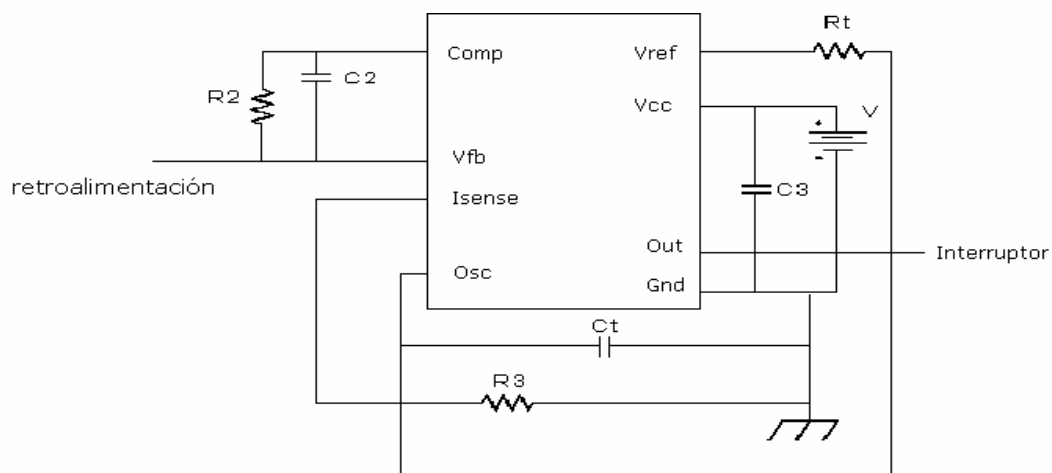


Figura 4.26 Circuito integrado para control por retroalimentación

Como se mencionó anteriormente el chip tiene integrado un PWM por lo que la frecuencia de conmutación se obtiene mediante el uso de un resistor R_t y un capacitor C_t , la ecuación para obtener los valores de estos componentes es:

$$frecuencia_{conmutaci3n} = \frac{1.8}{C_t \times R_t} \quad , \text{ donde } R_t > 5 \text{ k}\Omega \quad (4.1)$$

Para tener un control del ciclo de trabajo, una versión a escala de la forma de onda del oscilador se alimenta al sensor de corriente (pin 3) del PWM del integrado mediante una resistencia (R_3), generando una onda en forma de diente de sierra como la mostrada en la figura 4.27. Un voltaje constante de

CD proveniente de la retroalimentación se compara con la forma de onda del sensor de corriente para crear una salida PWM que opere al interruptor.

El circuito trabaja a una frecuencia de 80 KHz, la cual se calcula usando la ecuación (4.1), cuando existe una variación en la entrada la salida se mantiene constante por el control en lazo cerrado.

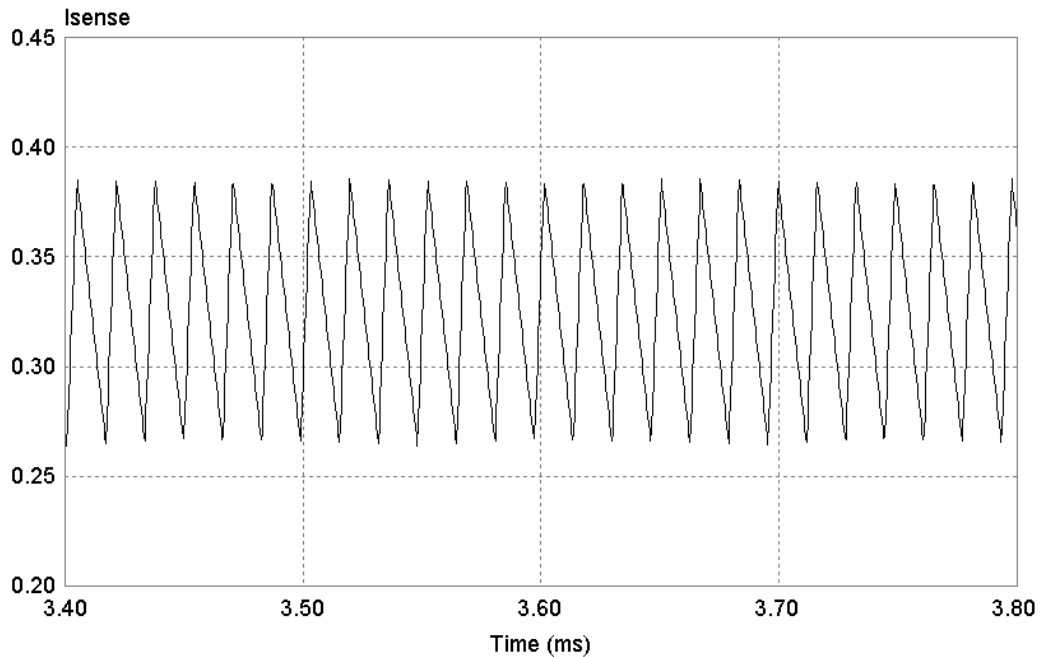


Figura 4.27. Corriente de sensor del convertidor reductor

4.5.2 Resultados de la Implementación del Convertidor Reductor

Para la implementación de este circuito se usaron los valores mostrados en la tabla 4.4, el voltaje de entrada con que se alimentó nuestro circuito fue de 40 volts; como se mencionó anteriormente, es necesario generar una señal de diente de sierra la cual se alimenta al PWM, el voltaje de corriente directa obtenido de la retroalimentación (que para el UC3842 debe ser de +2.5 V) se compara con la señal de diente de sierra para crear la salida del PWM.

El voltaje de salida y el ciclo de trabajo que se obtienen son mostrados en la figura 4.28, como se puede observar el voltaje de salida es de aproximadamente 12.32 volts, el voltaje de entrada es de 22 volts y se tiene un ciclo de trabajo del PWM de aproximadamente 54 %

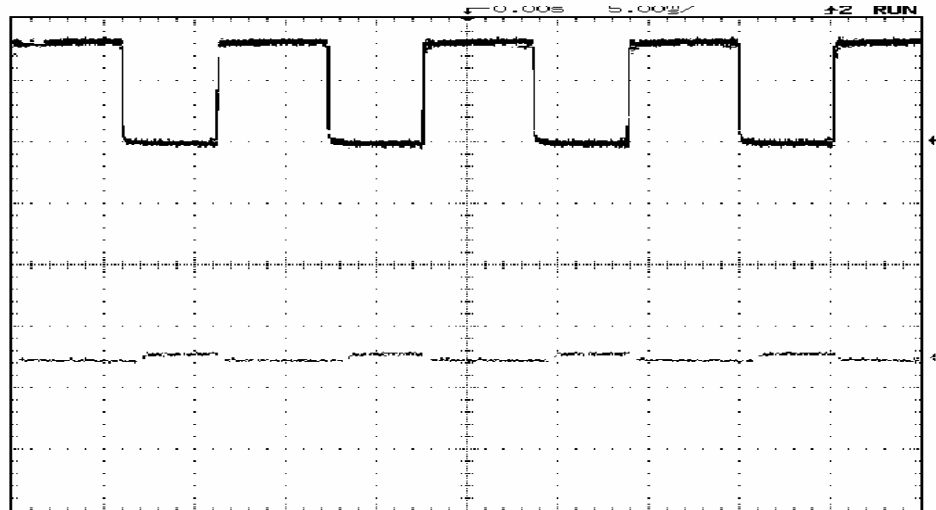


Figura 4.28. Formas de onda del voltaje de salida (12.32) y el PWM (54%)

Para corroborar que nuestro circuito esté regulando el voltaje de salida en el convertidor reductor se modificó el voltaje de entrada a 30 V. En la figura 4.29 se muestra el ciclo de trabajo que se obtiene y el voltaje de salida que es de aproximadamente 12 volts.

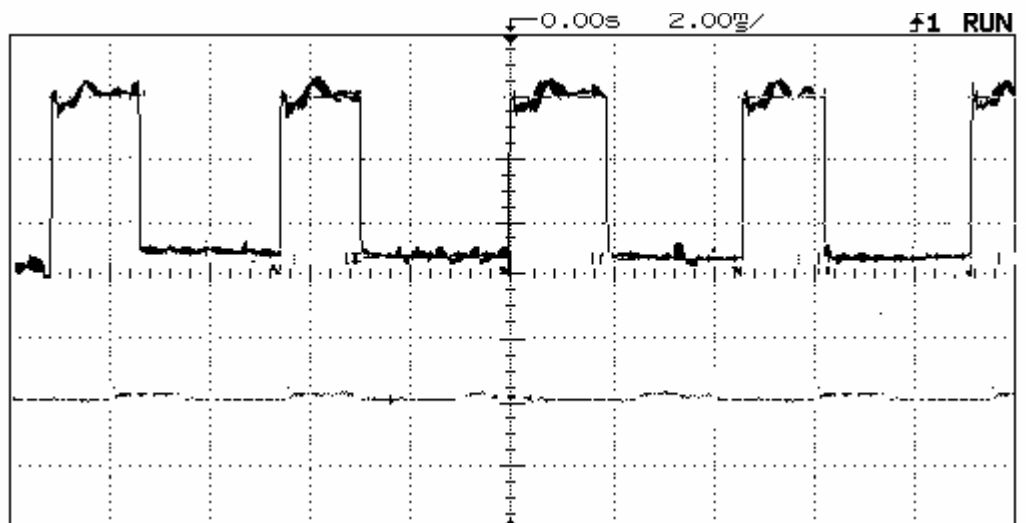


Figura 4.29 Formas de onda del voltaje de salida y el ciclo de trabajo para un Volt de 40 V

Finalmente se puede concluir que la estructura del sistema solar autónomo presentado es una buena opción para el uso de energías alternativas, además de que su costo es relativamente bajo. La topología de Convertidores multicelda apilables es una buena elección para la implementación de convertidores CD-CA de mediana y alta potencia, con una alta eficiencia y una baja distorsión del voltaje de salida.