Capítulo 5

Interfaz de Control Externa

Como se mencionó al inicio del proyecto se necesita diseñar una etapa entre la PC y el Brazo, dicha interfaz como también se mencionó, consiste en un generador de cinco canales de PWM, dichas señales como ahora se sabe, son las responsables del movimiento y posición de los servomotores que controlan al robot.

Esta entidad recibe una serie de datos enviados a través del puerto paralelo y según el valor de estas tramás es que ejecuta las distintas acciones de control.

Este dispositivo fue implementado en un FPGA (Field Programable Gate Array), para este propósito se utilizó el FPGA Spartan 2 de Xilinx, Figura 5.1.

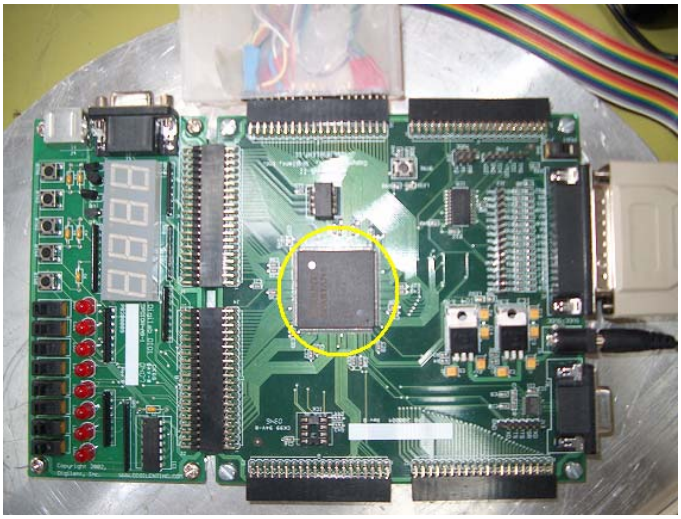

Fig. 5.1 Tarjeta de evaluación del FPGA Spartan 2 Xilinx

5.1 La Interfaz de Control

Esta interfaz como se ha mencionado consiste en un generador de cinco canales de PWM (Pulse Width Modulation), y es como se ve a continuación, Fig. 5.2.

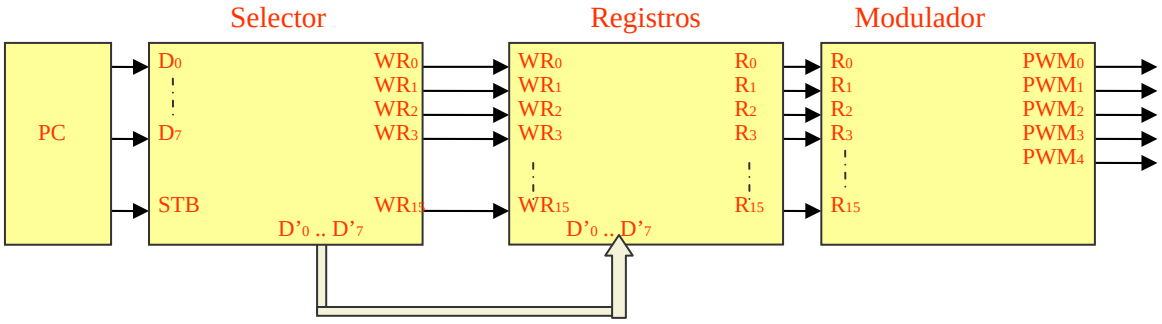

Fig. 5.2 Modulador PWM de cinco canales.

La PC entrega ocho bits por el puerto paralelo, internamente estos bits se direccionan hacia registros determinados como se explicara más adelante.

El objetivo de este circuito es lograr varias señales cuadradas y periódicas, pero con la misma frecuencia y teniendo control del ancho este pulso cuadrado, o ciclo de trabajo. (Fig. 5.3).

.

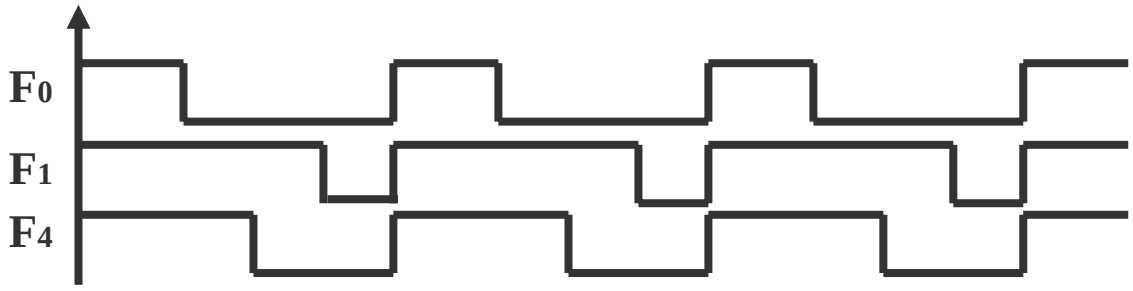

Fig. 5.3 Señales PWM.

Dichas señales se obtienen mediante un proceso de “comparación”, de esta forma si se pudiera obtener una señal que se incrementara linealmente llegando a un valor máximo y reiniciando el proceso de incremento (diente de sierra), y al mismo tiempo se pudiera comparar con un valor determinado, se podría generar una función comprendida en dos intervalos: el primero, mientras la señal ascendente sea de magnitud menor a el “dato”, el resultado de esta función será igual a 1, y el segundo, mientras que la magnitud de la señal se iguale al “dato” instantáneamente esta señal bajará hasta nivel de 0 manteniéndose así hasta que el valor de la señal comparada se reinicie, (ver figura 5.4).

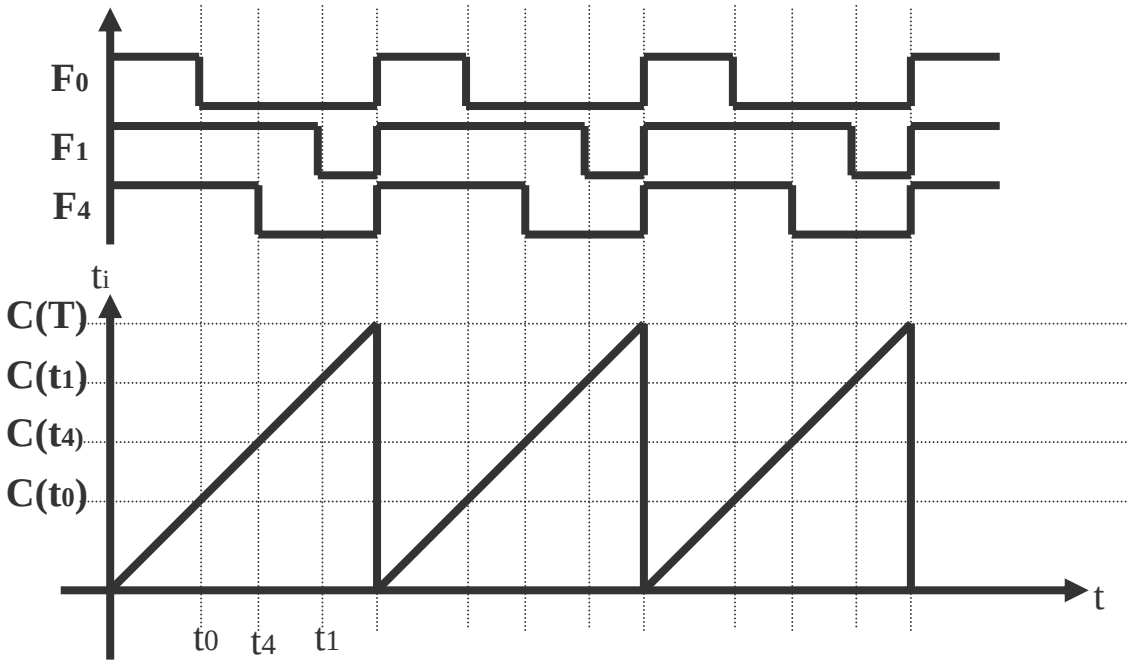

Fig. 5.4 Comparación de señales.

Como se puede notar en la figura 5.4 se tiene una señal “Diente de Sierra”, o lo que podría entenderse como un contador ascendente, el cual al alcanzar un valor máximo determinado reinicia su cuenta, si dicha señal fuera comparada contra algún valor “X”, se podrían determinar tiempos de actividad e inactividad, de esta forma si se varia el valor de “X” el periodo en que la señal se encuentra en valor alto cambia de forma proporcional.

Este es el principio básico del circuito de control del que se va a hablar.

En la figura 5.1 se tiene el diagrama general a bloques del circuito en cuestión, se puede ver cómo éste recibe los 8 bits del puerto paralelo, así como la señal de Strobe, y como a la salida se generan las señales de interés, pero hasta ahora estos bloques no dicen nada claro, pues se necesita conocer el funcionamiento de cada uno por separado e internamente.

El bloque del selector es la interfaz que se utiliza para cargar los datos que envía la computadora a los registros, después este bloque de registros envía los valores de estos hacia el bloque del modulador, el cual en base a los valores de los registros genera las señales PWM, este es el objetivo general de este periférico

5.1.1 Registros.

Como ya se observó en la figura 5.1 se tienen tres bloques definidos, el primer bloque que se describirá es el de registros ya que este es el más simple del sistema desarrollado.

Este bloque tiene dieciséis señales de WR y ocho bits como entrada, así como 8 salidas que son el valor de los nueve registros.

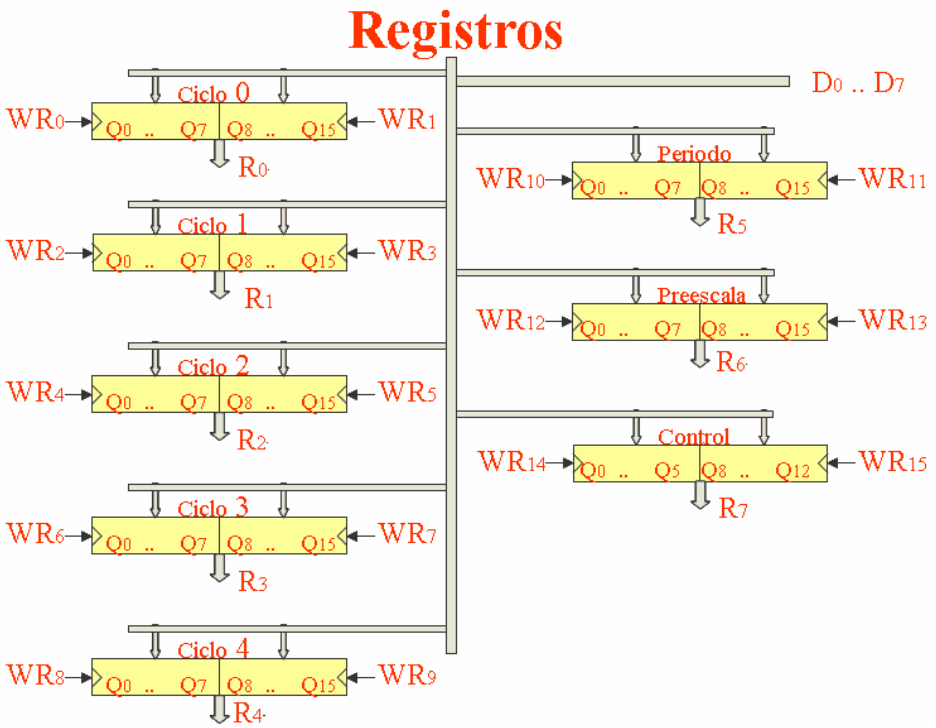

Fig. 5.5 Bloque Registros

En la figura 5.5 se observa la estructura interna del bloque de registros, éste consiste en un grupo o “Cluster” de registros de 16 bits, aunque cada registro esta compuesto por dos registros de 8 bits, estos registros están conectados a un “bus” común, dicho bus contiene un dato de 8 bits o bien un Byte de información, este Byte es

capturado por alguno de los registros de 8 bits, ésto depende de qué registro reciba la señal de escritura correspondiente.

Se puede notar que existen algunos registros de propósito especial, éstos son los registros de Periodo, Preescala y Control, estos registros son muy importantes para el funcionamiento del sistema, pero se hablará de éstos más adelante.

5.1.2 El Modulador.

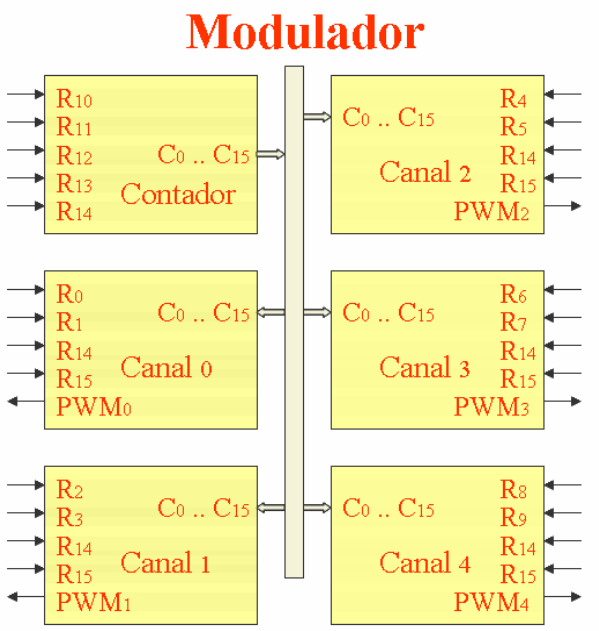

Fig. 5.6 Estructura interna del modulador.

En la figura 5.6, se muestra la composición del modulador, este recibe como entrada los datos de que entregaban como salida los registros del bloque anterior y como salida genera cada uno de los canales de PWM, como podemos ver internamente, este contiene varios “sub bloques”, dichos bloques son un “Contador” así como varios “Canales”, nuevamente éstos en conjunto se encuentran unidos por un “bus”, el funcionamiento general es bastante simple. El contador genera una señal de cuenta ascendente hasta un valor determinado y reinicia, esta cuenta entra a cada uno de los canales donde se compara con un valor determinado, esta comparación es la base de cada señal PWM, mientras la comparación no supera el valor de comparación la señal

PWM se mantiene en valor alto, cuando la comparación supera el valor de comparación, esta señal baja.

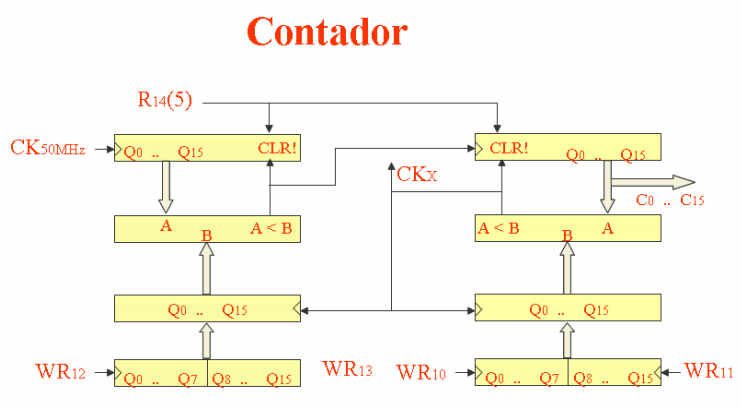

Fig. 5.7 El Contador.

El Contador.

En la figura 5.7, se puede ver que se tienen varios bloques, éstos solamente son tres diferentes, un contador simple, un comparador y dos registros, el primer contador, arriba a la izquierda, recibe como entrada la señal de reloj que genera el FPGA, la cual tiene una frecuencia de 50 MHz, de esta forma al ocurrir un periodo de reloj este contador incrementa el valor de su salida en uno, adicionalmente recibe una señal de CLR, ésta se emplea para resetear y detener el contador mientras está activa, por otra parte se puede notar que se encuentra “mapeada” hacia el bit 5 del registro 14, si se recuerda el bloque de registros (Fig.5.5), dicho registro es el registro de “Control”, de esta forma el contador puede ser reseteado en cualquier momento, simplemente modificando dicho registro.

Abajo a la izquierda se tiene otro de los registros especiales de los que se habló, este es el de Preescala, mientras que a la derecha se encuentra el de periodo, estos dos

en conjunto son responsables de dividir la frecuencia del reloj del FPGA a la frecuencia deseada, que en este caso es de 50 Hz, mediante la siguiente ecuación.

$$F = \frac{F_{CLK}}{R_{periodo} \cdot R_{preescala}} \quad \text{Ecuación 5.0}$$

Calculo de la frecuencia de PWM.

Entonces se podría decir que el registro de preescala realiza el ajuste grueso de la división, mientras que el registro de periodo, realiza el ajuste fino, así como el valor del registro de periodo, contendrá el valor máximo de la cuenta que genera este contador, por ahora no se hará mucho hincapié en este dato, pero es muy importante estar concientes de esto posteriormente.

Así pues el registro de preescala es comparado con el valor de cuenta que genera la señal de reloj del FPGA, y al igualarse se envía un pulso al siguiente contador, que de igual forma se compara con el registro de periodo, y el pulso que genera esta comparación es responsable de capturar un nuevo valor de periodo y preescala, de esta forma se asegura que cada vez que se cargue un nuevo valor en cualquiera de estos dos registros primero se termine el ciclo de cuenta con los valores actuales y después se carguen los valores nuevos, esto es básico para aplicaciones en los que estos registros se tienen que modificar constantemente, pues si no la señal perdería definición y se convertiría en una señal con ruido, por la respuesta a los cambios de estos registros.

Finalmente el resultado de la cuenta del segundo contador se envía al bus del modulador, es importante no confundir este bus con el bus de los Registros.

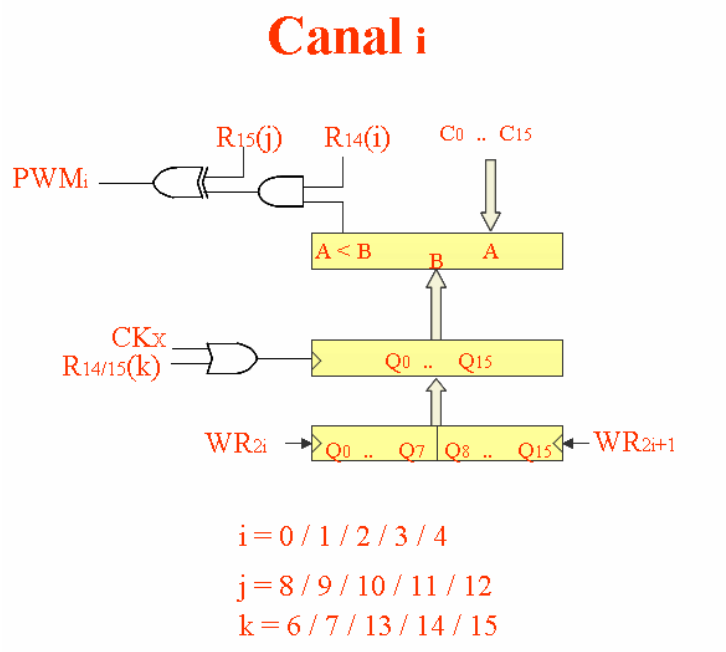

Fig. 5.8 Estructura general de los canales.

Continuando con los bloques del modulador, se tiene el bloque de canales, estos canales son prácticamente iguales entre si, excepto que cada canal hace referencia a un registro propio que como se puede suponer, está incluido en el banco de registros. Este registro es el primer bloque que se ve de abajo hacia arriba (Fig. 5.8), este registro pasa hacia un registro propio de cada canal, como se mencionó anteriormente, este registro de paso, sirve para asegurar que el ciclo de comparación con el valor actual se cumpla en su totalidad antes de cargar un nuevo valor. Como se puede ver en la figura 5.8 la señal de captura de este registro de paso, es generada por una “OR” lógica que utiliza la señal CKx y el BIT (k) del registro de control, esta señal CKx es una señal generada dentro del contador (Fig. 5.7) y es la misma que ocasiona la captura de los registros de paso de éste, el BIT (k), está mapeado al registro de control y es determinado con el valor de “K”, para poder relacionar este valor de forma que: si estamos en el canal i = 0, entonces K = 6, por lo tanto el BIT 6 del registro de control es directamente responsable de permitir la captura de un nuevo valor, ya que si este se encuentra en un valor alto

constantemente, la acción de CKx será inhibida o “no importante” debido al “OR” lógico. Una vez cargado el valor del registro del canal al registro de paso éste se compara con el valor de la cuenta que constantemente arroja el contador al bus, este valor contenido por el registro como máximo debe ser del mismo valor que el registro de periodo, esto significa tener una señal PWM con un 100 % de ciclo de trabajo, con lo que se puede notar que este registro representa un porcentaje del valor del registro de periodo, y dicho porcentaje será el valor del porcentaje del ciclo de trabajo, esto es en si la modulación por ancho de pulso o PWM, como se mencionó anteriormente, y en cuanto ambos valores se igualan la señal de comparación baja a cero, continuando así hasta que el contador reinicie su cuenta y el valor de la cuenta sea menor al del registro, de esta forma el canal ya genera la señal PWM que se requería.

Adicionalmente antes de enviar esta señal al exterior pasa por dos etapas más, la primera es una “AND” lógica con el BIT (i) del registro de control, de esta forma desde el registro de control podemos deshabilitar la señal completamente al cargar un cero a este BIT, y la última etapa es una “XOR” lógica con el BIT (j) del registro de control, con este BIT se puede invertir la señal generada.

5.1.3 El Selector.

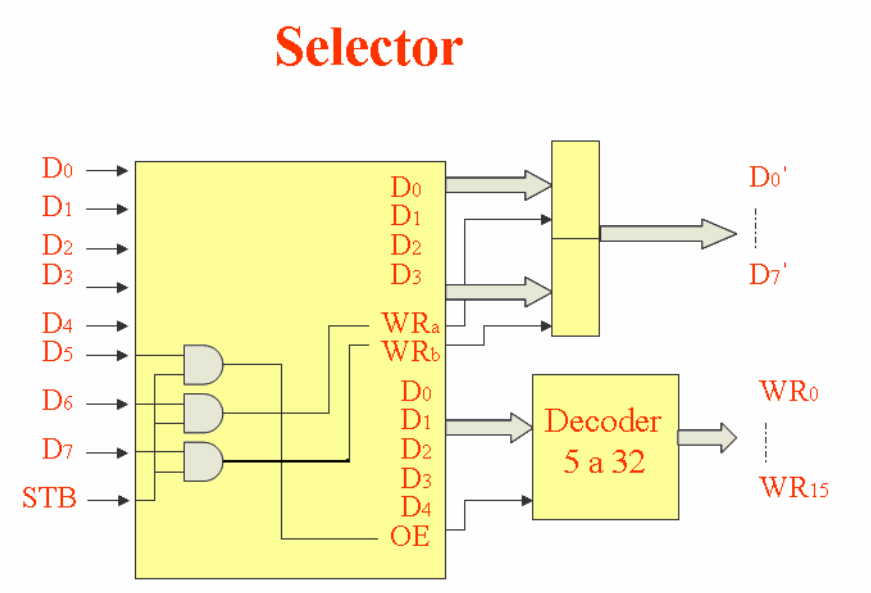

Fig. 5.9 Selector.

La figura 5.9 muestra el sistema interno del selector, este como se dijo anteriormente recibe las señales de datos del puerto de la PC así como la señal de Strobe, este bloque es muy importante, ya que sin el no habría forma de cargar los registros de los que se ha estado hablando.

Esta unidad separa los ocho bits que se reciben del puerto en 5 bits de datos y 3 bits de control. Por lo tanto el byte del puerto paralelo junto con la señal de STB, constituyen las entradas de este bloque, mientras que como salida entrega un nuevo byte de datos así como las 16 señales de WR que espera el bloque de registros.

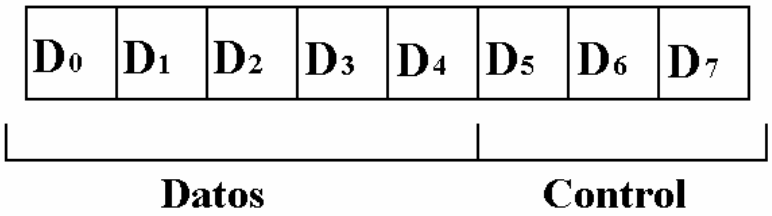

Fig. 5.10 Byte recibido.

En la figura 5.9, arriba a la derecha podemos ver dos bloques pequeños, cada uno de estos bloques representa un registro de cuatro bits y al unirse forman uno de ocho bits, mientras que el bloque siguiente es un decodificador de 5 a 32.

Entonces, dependiendo del valor de los bits de control es la acción que desarrolla el selector, por lo tanto cuando D6 se encuentra en valor alto los cuatro bits menos significativos son capturados en el primer registro de cuatro bits, mientras que cuando D7 se encuentra activo, ocurre lo mismo pero con el segundo registro, de esta forma se tiene un registro de 8 bits, estos ocho bits constituyen los valores de D'_0 a D'_1 que se veían el la figura 5.4, este dato es mapeado directamente al bus de los registros. De igual forma cuando el bit D5 se encuentra activo se genera la señal OE o Output Enable, que es la responsable de activar el decodificador, éste a su vez recibe el valor de los bits D0 a D4 y según la combinación de estos genera una señal WR determinada a un registro X, de esta forma es que se pude direccionar todos los registros con los que se cuenta únicamente utilizando los 8 bits.

Estas tres acciones de control no serían posibles sin la señal Strobe, esta señal es generada por el puerto paralelo cada vez que se escribe un dato en el y ya que el selector realiza un “AND” lógico con los bits de control solamente se pueden efectuar acciones de control cuando esta se encuentre presente.