

CAPITULO 3

PROPUESTA DEL DISEÑO DEL CIRCUITO

3.1 INTRODUCCIÓN

En este capítulo se verá el diseño del circuito, las diferentes etapas en las que funciona, así, como la obtención de valores de dispositivos del CFP para su implementación.

3.2 CONVERTIDOR REDUCTOR - ELEVADOR CC/CC CON FUNTE POSITIVA

Para obtener la topología del Corrector de Factor de Potencia (CFP) es necesario un estudio más detallado de la configuración de un regulador reductor-elevador. Se puede observar en la figura 3.1 que se utiliza un transistor como interruptor, una bobina y un diodo, estos componentes forman la célula de conmutación y es lo que permite variar sus funciones en casos distintos al reductor-elevador. La entrada es un voltaje de CC constante y la salida también lo es.

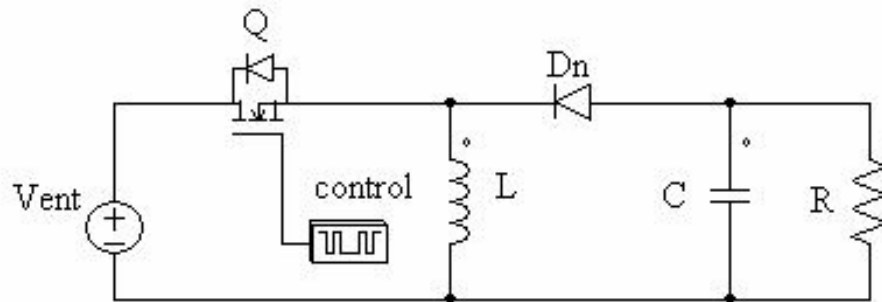


Figura 3.1 Regulador reductor-elevador con Fuente Positiva

La relación entre el voltaje de entrada (V_e) y el voltaje de salida (V_s) para la topología reductora-elevadora está dada por[3]:

$$V_s = \frac{V_e \alpha}{1 - \alpha} \quad (3.1)$$

Donde α es el ciclo de trabajo en el interruptor. Se observa en la expresión del voltaje de salida que si $\alpha > 0.5$, el circuito se comportara como un regulador elevador. Pero, si se tiene que $\alpha < 0.5$, entonces será un regulador reductor. Como se mencionó en el capítulo 2 este circuito trabaja en dos modos. En el modo 1 el transistor está cerrado permitiendo el paso de corriente y debido a que el diodo D_n está bloqueado el circuito queda con la fuente en serie con la inductancia L la cual se carga de energía, como en la figura 3.2.

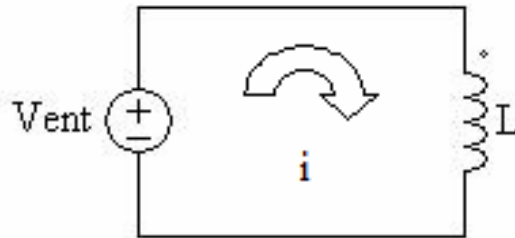


Figura 3.2 Modo 1 del regulador reductor-elevador con fuente positiva.

En el modo 2 (figura 3.3) el transistor Q se abre dejando de suministrar energía al circuito. En estos momentos la inductancia está en serie con el diodo D_n y con el paralelo del capacitor y la resistencia, donde la energía de la inductancia comenzará a descargarse además de alimentar al diodo D_n . En la figura 3.3 se muestra el circuito que queda al abrirse el transistor Q .

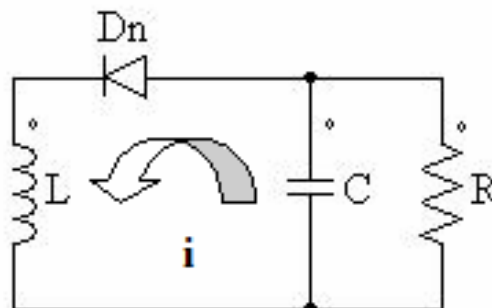


Figura 3.3 Modo 2 del regulador reductor-elevador con fuente positiva.

3.3 CONVERTIDOR REDUCTOR - ELEVADOR CC/CC CON FUNTE NEGATIVA

Al alimentar la estructura reductora-elevadora con una fuente negativa la célula de conmutación se ve afectada únicamente en el sentido del diodo (ver figura 3.4). El voltaje de salida también cambiará de referencia con respecto a la figura 3.1.

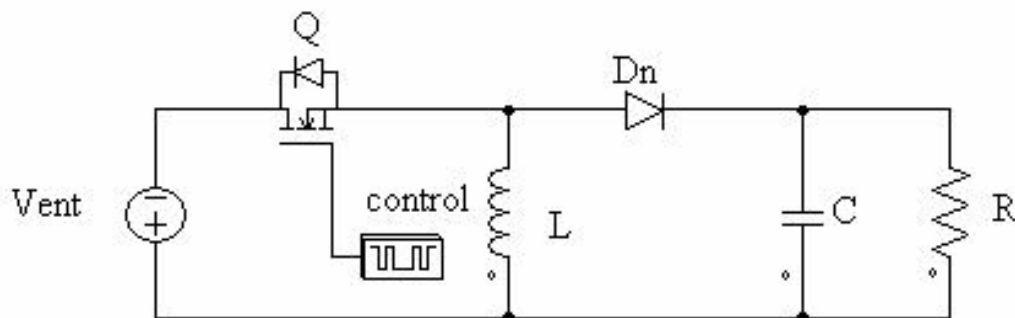


Figura 3.4 Regulador reductor-elevador con fuente negativa

Este circuito también trabajará en dos modos. En el primero el transistor Q está cerrado por lo que el diodo D_n se polariza inversamente y el circuito queda en serie con la inductancia L la cual se carga, en la figura 3.5 se observa el circuito:

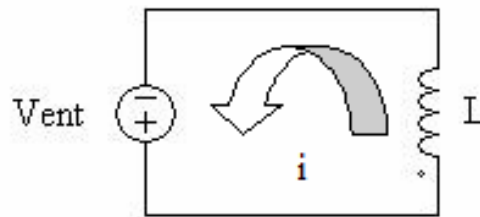


Figura 3.5 Modo 1 del regulador reductor-elevador con fuente negativa

En el modo 2 el transistor Q queda abierto y deja de alimentar al circuito, como el inductor fue cargado en el modo 1, empezará a descargarse y así alimentará al diodo y al paralelo del capacitor y resistencia con los que se encuentra en serie como se observa en la figura 3.6.

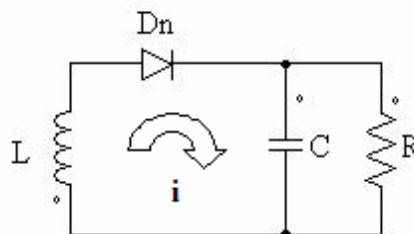


Figura 3.6 Modo 2 del regulador reductor-elevador con fuente negativa

El planteamiento de alimentar al regulador reductor –elevador con una fuente positiva y una negativa, sirvió para un entender que este circuito puede ser adaptado para alimentarlo con una fuente de corriente alterna y tener a la salida un voltaje en CC.

3.4 TOPOLOGÍA PROPUESTA DEL CFP

Se ha podido observar que un regulador reductor-elevador puede ser alimentado con una fuente positiva o con una fuente negativa sin afectar el funcionamiento de la estructura. La célula de conmutación permanece prácticamente invariable salvo el cambio de polaridad para el diodo D_n . Esto permite darnos una idea del comportamiento de la estructura al recibir como entrada una señal de corriente alterna; sin embargo; el interruptor es unidireccional lo que perjudica al circuito, ya que solo permitirá el paso de corriente en un semiciclo del V_{ent} . En la figura 3.7 se muestra un interruptor bidireccional, el cual permite el paso de corriente en ambos semiciclos del Voltaje de entrada V_{ent} .

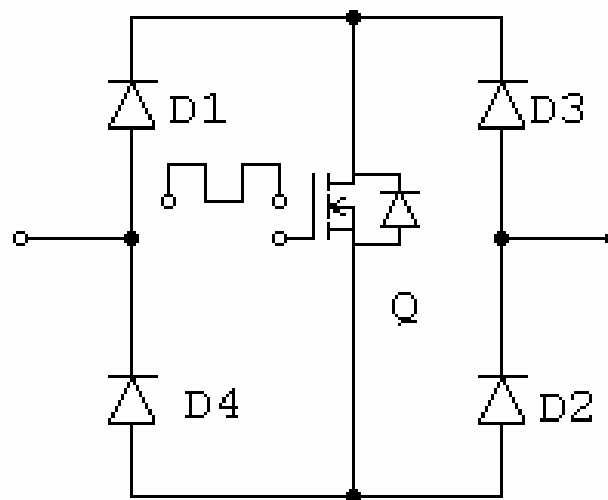


Figura 3.7 Interruptor bidireccional

El circuito diseñado se muestra en la figura 3.8. Los diodos D5 y D6 forman parte de la configuración del regulador reductor-elevador. Esta estructura no se debe ver como un convertidor CA/CC, se debe analizar como un corrector de factor de potencia ya que aunque trabaja como un convertidor de CA/CC su objetivo esencial será el de corregir el factor de potencia [2].

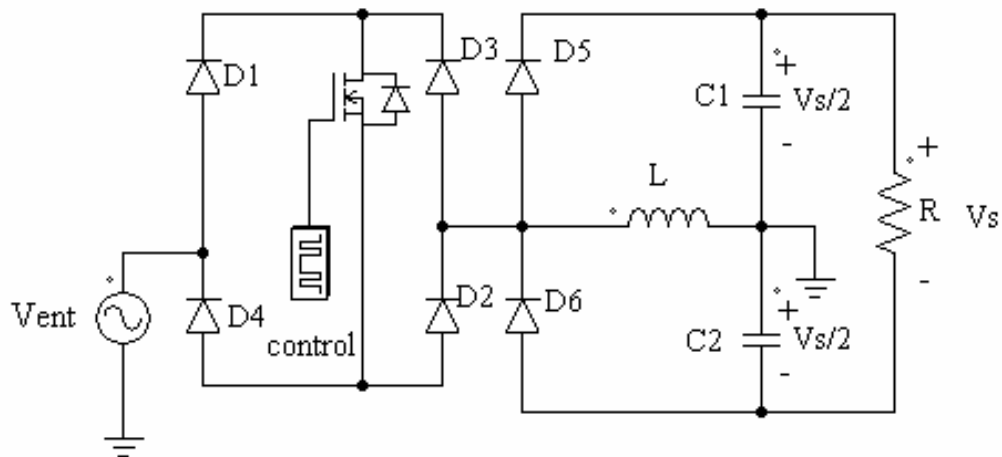


Figura 3.8 Estructura propuesta del CFP

3.5 ANÁLISIS DEL CORRECTOR DE FACTOR DE POTENCIA

Se deben desarrollar las ecuaciones que describen el comportamiento del Corrector de Factor de Potencia para realizar su análisis. Primero se analizará cuando el transistor Q se encuentra cerrado (figura 3.9), cargando el inductor hasta su máximo voltaje. De esta estructura se puede obtener:

$$V_e - V_L = V_e - \frac{L di}{dt} = 0 \quad (3.2)$$

Donde

$$V_e = V_{ent}$$

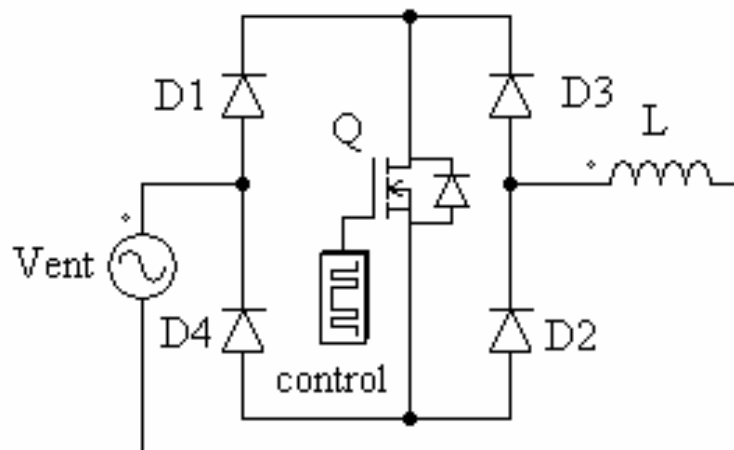


Figura 3.9 Transistor Q cerrado.

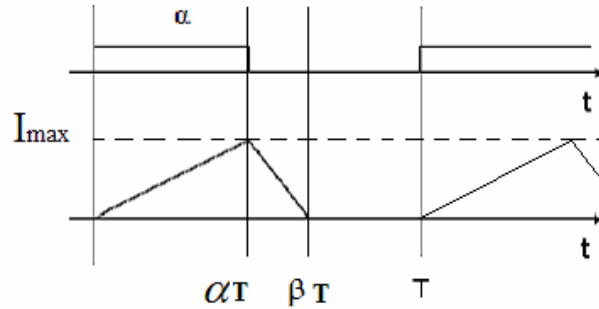


Figura 3.10 Corriente en el inductor

En el peor caso, el voltaje de entrada se alcanza en $\omega t = 90^\circ$, ya que $V_e = V_m \text{ Sen } 90^\circ = V_m$. Considerando este instante para el dimensionamiento del inductor L y partiendo de la figura 3.10 en la cual se observa como la inductancia se carga en un periodo αT , periodo en el cual el transistor está cerrado y siendo αT el momento donde alcanza una corriente máxima, se tiene:

$$I_{max} = \frac{\alpha T V_m}{L} \quad (3.3)$$

En el caso de una conducción de corriente discontinua, la corriente a través del inductor L alcanza la discontinuidad en cada período de conmutación. De la ecuación 1 y 2 considerando conducción discontinua en la corriente i_L se obtiene:

$$\dot{\mathbf{i}}(t) = \frac{V_e t}{L} \quad (3.4)$$

Donde

$$\dot{\mathbf{i}}(t) = \frac{V_m t}{L} \quad (3.5)$$

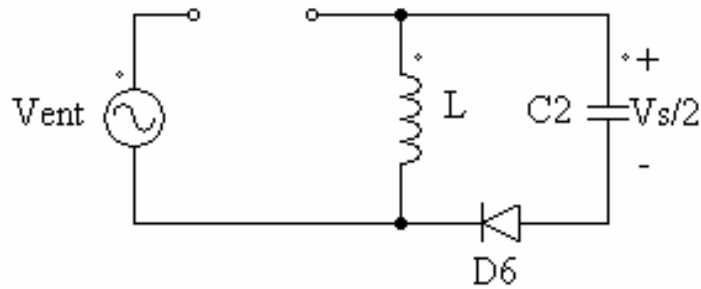


Figura 3.11 Transistor Q abierto.

En la figura 3.11 se observa el circuito equivalente para el caso en que el transistor Q se abre. De esta figura se establece que una ecuación que determina que el voltaje de inductancia menos el voltaje del capacitor es igual a cero:

$$-V_L - \frac{V_s}{2} = 0 \quad (3.6)$$

De la ecuación 3.6 y la figura 3.10 se obtiene:

$$i(t) = \frac{-V_s}{2L} (t - \alpha T) + I_{\max} \quad (3.7)$$

Para que la corriente pueda anularse antes de un nuevo periodo de conmutación (figura 3.10), debe caer en discontinuidad. Si se define a βT como el periodo requerido para que la corriente en la inductancia pueda descargarse y caer en discontinuidad, y a βT como el punto donde se anula la corriente después de abrir el transistor Q, se puede establecer que:

$$0 = \frac{-V_s}{2L} (\beta - \alpha) T + I_{\max} \quad (3.8)$$

Despejando a I_{\max} se tiene:

$$\frac{V_s(\beta - \alpha) T}{2L} = I_{\max} \quad (3.9)$$

Igualando la ecuación 3.3 y 3.9 para el caso del transistor Q abierto y cerrado se tiene:

$$\frac{\alpha T V_m}{L} = \frac{V_s(\beta - \alpha)T}{2L} \quad (3.10)$$

$$2\alpha V_m = V_s(\beta - \alpha) \quad (3.11)$$

Despejando a β

$$\beta = \alpha \left(\frac{V_s + 2V_m}{V_s} \right) \quad (3.12)$$

Se debe asegurar la discontinuidad de la corriente, para eso βT debe ser siempre menor que T . De donde:

$$\beta T < T$$

$$\beta < 1 \quad (3.13)$$

Sustituyendo la ecuación 3.12 en la 3.13 para β :

$$\alpha \left(\frac{V_s + 2V_m}{V_s} \right) < 1 \quad (3.14)$$

Debido a que el voltaje de línea en México es muy variable se recomienda introducir un factor Q como margen de seguridad, la desigualdad de la ecuación 10 se puede convertir en igualdad si Q es mayor que 1.

$$\alpha \left(\frac{V_s + 2QV_m}{V_s} \right) = 1 \quad (3.15)$$

$$\left(\frac{V_s + 2QV_m}{V_s} \right) = \frac{1}{\alpha} \quad (3.16)$$

Despejando V_s :

$$V_s = 2QV_m \left(\frac{\alpha}{1-\alpha} \right) \quad (3.17)$$

La ecuación 3.17 proporciona la condición de un buen funcionamiento del Corrector de Factor de Potencia. En la siguiente figura se puede apreciar la corriente de la fuente donde en el periodo αT la corriente circula por el circuito mientras el transistor Q este cerrado, pero en el momento en que el transistor se abre la corriente deja de circular.

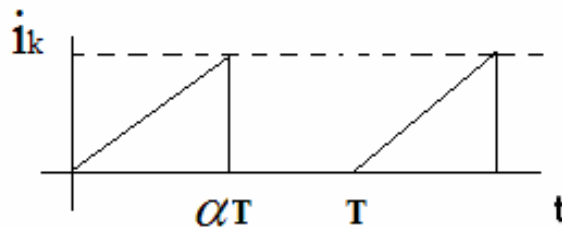


Figura 3.12 Corriente de la fuente

De la figura 3.12 se obtiene:

$$i_k = \begin{cases} \frac{V_m t}{L} \Rightarrow [0, \alpha T] \\ 0 \Rightarrow [\alpha T, T] \end{cases}$$

Bajo estas condiciones se obtiene el valor rms de la corriente de entrada:

$$\dot{i}_{k, \text{rms}}^2 = \frac{1}{T} \int_0^{\alpha T} \frac{V_m^2 t^2}{L^2} dt \quad (3.18)$$

De la cual se tiene:

$$\dot{i}_{k, \text{rms}} = \frac{\alpha T V_m}{L} \frac{\sqrt{\alpha}}{\sqrt{3}} \quad (3.19)$$

Despejando a L:

$$L = \frac{\alpha T V_m}{\dot{i}_{k, \text{rms}}} \frac{\sqrt{\alpha}}{\sqrt{3}} \quad (3.20)$$

3.6 OBTENCIÓN DE LOS VALORES DEL CFP

A partir de la formula 3.16, se sustituyen valores que se tienen de base. Se conoce el Voltaje de entrada que es 120 Volts_{rms} por lo tanto $V_m = 169.7$ Volts, se requiere en la salida un voltaje de 560 Volts. Además, considerando que $Q = 1.1$ se obtiene el valor de α .

$$\alpha = \frac{1}{1 + \frac{2QV_m}{V_s}} \quad (3.21)$$

De donde $\alpha = 0.6$, de una primera observación, los capacitores de salida deberán tener una capacidad de $V_s/2 = 280$ Volts al menos y el ciclo de trabajo corresponderá al 60% del periodo. Considerando una corriente en la carga de 0.4 A la resistencia de carga será de 1.4 k Ω y una frecuencia de conmutación de 100KHz. A partir de la ecuación 3.20 se obtiene el valor de la inductancia L:

$$L = 108\mu\text{H}$$

Con la ayuda del análisis hecho a la propuesta del circuito se pueden obtener los valores para las especificaciones de este caso, pero si se plantean otras especificaciones las formulas desarrolladas servirían para cualquier requerimiento.