

Capítulo

3

## Capítulo 3 Control maestro

### 3.1 Introducción

El sistema está diseñado en su mayoría por circuitos integrados de tipo CMOS, lo cuáles proveen características de funcionalidad, desempeño y consumo de gran conveniencia y claro, superiores a las comúnmente usadas.

En seguida se muestra el diagrama a bloques del sistema en general:

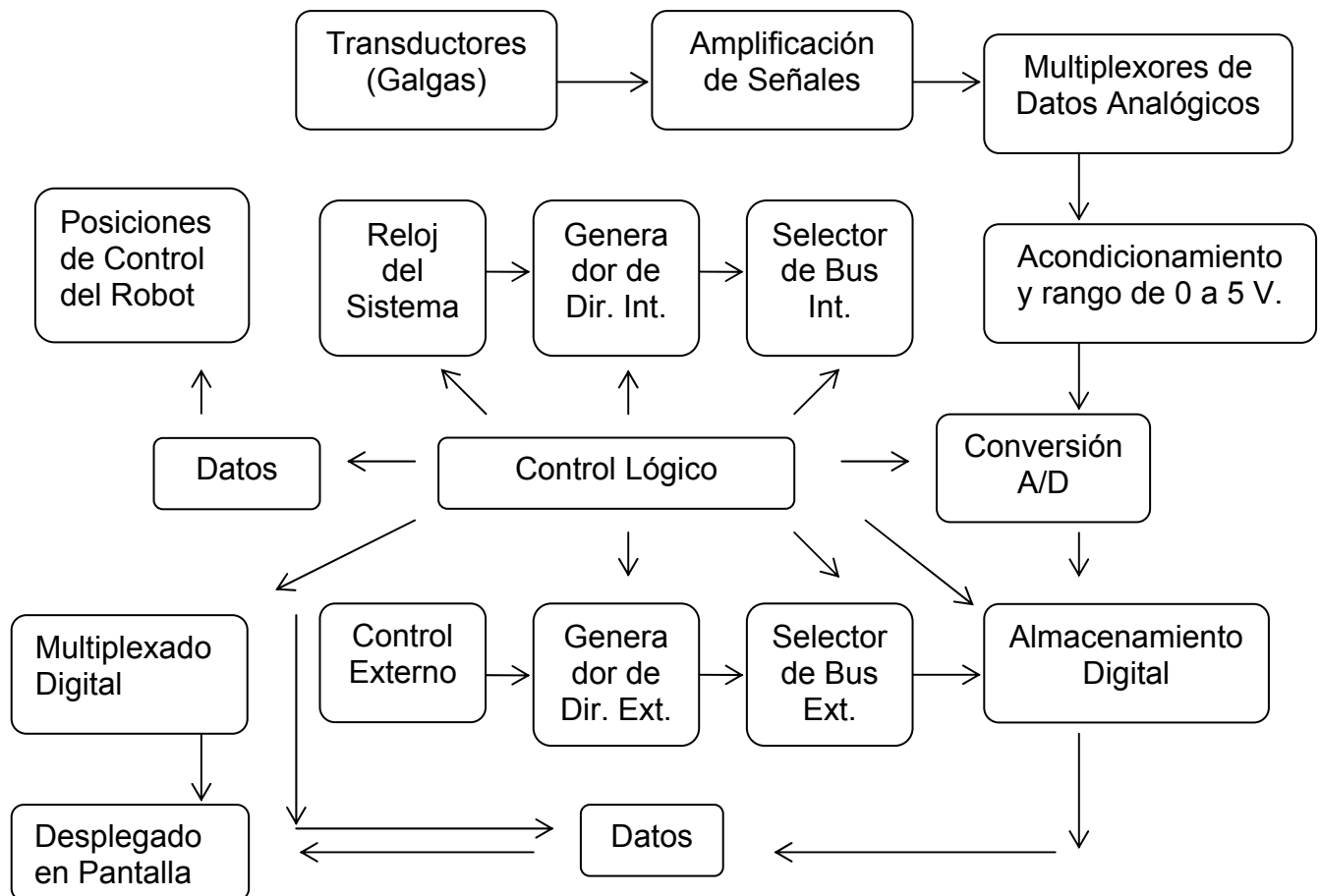


Figura 39 Diagrama a bloques del sistema.

El diagrama empieza por los transductores (sensores) que como ya se mencionó son galgas extensiométricas, colocadas en lugares estratégicos del guante utilizado como dispositivo para el control del brazo mecánico, el voltaje captado por cada una de éstas, es enviado a amplificadores operacionales de instrumentación para el aumento de su ganancia, también se tienen dos potenciómetros de referencia por cada una de ellas, esto para controlar la ganancia y el nivel de offset de cada uno de los nueve voltajes y poder así determinar los puntos de inicio y fin del rango de medición de cada una de las galgas, la localización se puede observar en la galería de fotografías.

De ahí se prosigue a la etapa de multiplexación de cada una de las tres señales de cada galga, pues en caso de no hacerlo el trabajo, manejabilidad y diseño de éstas sería arduo. Las señales son procesadas y convertidas a valores entre 0 y 5 volts. Es decir, entran nueve señales a cada uno de los multiplexores y se obtiene una señal a la salida que es enviada a un amplificador operacional para que se realice el aumento de su ganancia obteniendo así un valor en el rango de voltaje antes mencionado, la salida de los operacionales de las galgas y los nueve potenciómetros que regulan el offset son conectados a la entrada no inversora del operacional y a la entrada inversora se conectan los nueve potenciómetros de controlan la ganancia conectados con respecto a tierra, en configuración general de sumador no inversor; los multiplexores usados tienen hasta 16 entradas y en el sistema sólo son usadas nueve, por ello se utiliza un contador binario conectado de tal forma que cada vez que llegue a la cuenta de nueve reinicie su cuenta así los multiplexores sólo utilizan entradas válidas. Después se envía la señal hacia el convertidor análogo-digital.

Cuando la señal llega al convertidor se realiza el proceso de cambio de las señales análogas a digitales, para que puedan ser procesadas en el resto de los componentes del circuito. Cada señal digital obtenida consta de ocho bits, así pues se tendrán nueve señales digitales de ocho bits.

La resolución del convertidor está dada por un dos elevado a el número de bits a los que se desea cambiar la señal análoga menos una unidad ( $2^n-1$ ) ya que el cero es tomado en cuenta como valor, para éste caso el convertidor tiene una resolución de ocho bits (un byte), y la resolución en bits es el voltaje necesario para que cada byte cambie su valor, un byte es el conjunto de los ocho bits de la señal digital obtenida. La fórmula para el cálculo de la resolución en bits es:

$$R._{en\_bits} = \frac{(V_{ref+}) - (V_{ref-})}{R._{del\_ADC}} = \frac{5 - 0}{2^8 - 1} \approx 0.02Volts / Bit$$

Con esto se obtiene que los bytes van a ir cambiando su valor cada vez que exista un aumento o una disminución de 0.02 volts en el rango de 0000 0000b para el valor mínimo a 1111 1111b para el valor máximo que es el equivalente en decimal a el rango de 0 hasta la resolución del convertidor que es igual a 255, es decir se tienen 256 valores distintos para poder identificar la posición en la que se encuentra el movimiento realizado y claro medido por cada una de las galgas.

Una vez convertido el dato es enviado a un “latch” que es un flip-flop tipo D con capacidad de tercer estado, para su almacenamiento cada vez que se realiza una conversión y así evitar errores de escritura en la memoria, ya comentados.

De ahí el dato obtenido es enviado para su almacenamiento a una localidad de la memoria, la cual está conectada para que se pueda tener acceso a ella por dos selectores de buses uno interno que es para la escritura de los datos y otro externo utilizado para mandar los datos al control del robot llamado proceso de lectura. Cada selector de bus está controlado por su generador de direcciones respectivo para que así las localidades de la memoria sean escritas o leídas en forma secuencial y no se tengan conflictos o mezcla de información.

El generador de direcciones interno está sometido al control del reloj del sistema, el cual provee los pulsos necesarios a los contadores de 12 estados para

que manden sus pulsos a los latches del bus interno y se cree la localidad de memoria a la que va a ser mandado el dato. El generador de direcciones externo realiza la misma función, con la diferencia que es controlado por un reloj externo al sistema, pues la interfaz a la que va a ser conectado el circuito genera su propia velocidad de lectura dependiendo de las capacidades y necesidades que tenga.

Los datos almacenados en la memoria al mismo tiempo son enviados a otro latch y en conjunto con otro multiplexor que contiene la información de qué galga es la que se está leyendo se conecta también al contador binario mencionado en párrafos anteriores, realizan la función de desplegar el valor en una matriz de led's el dato que está siendo escrito y a cuál de los nueve transductores pertenece; dicha matriz dependiendo de la configuración de operación del sistema también puede ser utilizada para desplegar los datos que contiene la memoria (lectura). En las líneas siguientes describiré el proceso del sistema de control completo y su modo de operación.

La unidad de control lógico es la encargada de regir y enviar las señales necesarias a cada uno de los dispositivos para que funcionen en un momento y tiempo específicos así el sistema realiza las operaciones antes mencionadas en los instantes y secuencias lógicas clave para el proceso de control y operación correctos.

### 3.2 Funcionamiento

Primeramente, al encender el sistema con el push button "on-off" se activa un relevador el cual provee el voltaje necesario para su funcionamiento, acto seguido se encuentra listo para operar.

El proceso se inicia al oprimir otro push button denominado "start" al encontrarse conectado a una compuerta NAND schmitt trigger cuyas entradas están unidas a una resistencia y un capacitor en paralelo con extremos a 5 volts,

se produce que a la salida de la compuerta exista un cero lógico que es enviado a la entrada de una compuerta OR que en su salida se encuentra la pata reset de un flip-flop tipo “D” que es el flip-flop principal, en su entrada data tiene una alimentación de 5 volts o uno lógico, y su salida Q se dirige al RST de los generadores de direcciones internos y a otra compuerta OR que su otra entrada es la velocidad de reloj del control maestro y cuya salida de valor 1 es dirigida al OE del bus de direcciones interno e invertida a los OE del bus externo de direcciones, a la memoria y a una entrada de una compuerta AND que en su otra entrada tiene el valor Q invertido del flip-flop principal (en este momento 1) obteniendo a la salida un 1, con ello la compuerta da a salida un valor de 1 que se dirige al contador binario para su habilitación y puesta en su cuenta el valor inicial de 0 así los multiplexores también se inician en la entrada 0, para que empiece el sensado de movimiento de la primera galga y la matriz de led’s se encuentre en la primera línea.

También al contador binario se dirige a la entrada del reloj externo, para que en el modo de lectura los datos sean desplegados justamente a la velocidad a la que la interfaz se encuentre. La misma salida es remitida al latch que se encuentra en la matriz para que sea habilitado su OE y poder así enviar el dato para su despliegue. Con esto el sistema se encuentra inicializado y listo para empezar su funcionamiento.

Una vez realizado lo anterior, se procede a oprimir el push button de “RUN” para que se empiece a la captura de los datos; se tiene también un push button para la configuración de automático-manual, que sirve para que el sistema capture los datos continuamente al término de la lectura o en el caso manual, el sistema se detenga en el momento que la memoria se encuentra llena de datos y sea necesario oprimir “RUN” nuevamente. EL push button “A/M” va conectado a una compuerta NAND schmitt trigger que en su otra entrada recibe la señal de la salida siguiente a la última salida del generador de direcciones interno, para que en el momento que la última localidad de memoria sea utilizada y si se encuentra en

modo manual el sistema detenga su operación, se dirige también a la otra entrada de la primera compuerta OR mencionada para que el sistema sepa desde el inicio el modo de funcionamiento.

A la entrada “SET” del flip-flop principal se conecta la salida de otra compuerta NAND schmitt trigger que tiene en su entrada un push button “RST-STOP” esto para que en cualquier momento que se oprima el sistema detenga de inmediato su operación y se ponga en las condiciones iniciales mencionadas anteriormente.

Una vez que el sistema esté en funcionamiento es posible variar la frecuencia del reloj maestro para que se cambie la velocidad de captura de los datos, es decir se almacenen más o menos muestras del sensado de las galgas.

El capacitor y la resistencia en paralelo que se encuentran en cada uno de los push buttons como se mencionó al inicio funcionan de modo que al encender el sistema, la resistencia está mandando un voltaje a una terminal del push button por lo que a la salida del paralelo se tiene un 0 lógico, después al oprimir el push button el capacitor empieza a cargarse lo cual da como resultado que al soltar el push button el capacitor se descargue y obtengamos a la salida un 1 lógico; pudiendo así controlar perfectamente el manejo de las señales enviadas a los flip-flops.

Las frecuencias de operación del reloj maestro son cambiantes como ya se dijo, esto es posible por las características del 4060 mencionadas en el capítulo correspondiente a contadores. En el sistema se utilizó un cristal de 4MHz, dando así que las frecuencias posibles de operación utilizadas y los tiempos aproximados de grabación sean (frecuencias calculadas con la fórmula  $f = \frac{Frec.Xtal.}{2^n}$  donde n es la etapa del contador-oscilador):

|                     |                  |                     |
|---------------------|------------------|---------------------|
| <b>Frecuencia 1</b> | <b>244.1 Hz.</b> | <b>4295.68 seg.</b> |
| <b>Frecuencia 2</b> | <b>488.2 Hz.</b> | <b>2147.84 seg.</b> |
| <b>Frecuencia 3</b> | <b>976.5 Hz.</b> | <b>1073.81 seg.</b> |
| <b>Frecuencia 4</b> | <b>3.9 Khz.</b>  | <b>268.86 seg.</b>  |
| <b>Frecuencia 5</b> | <b>7.81 Khz.</b> | <b>134.26 seg.</b>  |

Figura 39 Tabla de frecuencias de operación del sistema.

La tabla anterior muestra que se pueden almacenar secuencias entre 2.23 min., 4.47 min., 17.89 min., 35.78 min. y 1.19 Hrs.; tiempos obtenidos mediante la operación de multiplicar el periodo ( $1/\text{frec.}$ ) por el número de localidades de memoria ( $2^{20}$ ). El sistema cuenta con varios led's que indican el estado de varias banderas importantes como lo son el de memoria llena (MF), el modo de operación automático o manual (A/M), memoria vacía (ME), encendido-apagado (ON-OFF), etc. Para poder así comprender el estado operativo del sistema en cualquier momento, además tiene dos líneas de led's que se encargan de desplegar la localidad de la memoria en la que se encuentra el dato leído o escrito respectivamente.

### 3.3 Escalabilidad

El sistema está diseñado de tal manera que pueda ampliarse el uso de sensores pues como se dijo en el capítulo de multiplexores, tienen la capacidad para 16 entradas y se dejaron listas para su uso sólo habrá que cambiar la configuración de la cuenta del circuito integrado 4516 para que la nueva configuración tenga efecto; también se cuenta con una señal de entrada al sistema en general que provoca que la interfaz pueda controlar la velocidad del sistema por completo, logrando que el sistema funcione a una velocidad distinta a las programadas.



Como los transductores son de quitar y poner, pueden ser montados en cualquier otro dispositivo para realizar mediciones; sin olvidar manejarlos con las precauciones pertinentes pues son muy delicados.

Todo el sistema se realizó en circuitos impresos colocados en una caja de acrílico para su protección, cuenta además de los led's indicadores de estado, la matriz y los botones, con dos conectores tipo DB25. El primero se utiliza para la conexión de las galgas al sistema utilizando un cable de 18 hilos, dos por galga como se ilustró en la figura 3; el segundo es para el uso de la interfaz, al cual se le conectaron las señales de: tierra, 8 para los datos de salida, reloj externo, reinicio externo, memoria vacía, memoria llena, el reloj externo controlador de todo el sistema, una señal de estado y una señal de paro crítico. Todas las anteriores son manejadas por la interfaz para que exista conexión entre lo que se está haciendo en el sistema de control y el brazo mecánico.

### 3.4 Parámetros para la interfaz

Se debe hacer hincapié que para el modo de lectura de los datos, es necesario definir ciertos parámetros especiales y condiciones iniciales al momento de establecer las condiciones iniciales de la interfaz. Primeramente, como el sistema se inicia en modo de lectura la bandera de memoria vacía (ME) está encendida por lo que la interfaz debe revisar ésta. También debe de mandar un RST a su generador de direcciones (4040) para que se inicialice y se establezca en la cuenta 0.

Debe tener también un contador binario que se debe inicializar en la cuenta 0 para que se vaya incrementando cada vez que los ciclos del reloj del sistema sean bajos, esto es con el fin de llevar una cuenta de cuántas direcciones se llevan alojadas en la memoria, pues en los ciclos bajos del reloj maestro el bus de direcciones es interno (escritura) y en los altos el bus es el externo (lectura) por eso la inversión de la señal de los OE en el bus de direcciones externo. Se debe tener una señal de paro crítico para el caso en el que tenga algún conflicto la

interfaz, ésa señal se recibe en el sistema y es dirigida a la entrada de la compuerta OR que se encuentra en el generador de direcciones del bus interno que como se mencionó tiene en su otra entrada la última salida del generador de direcciones, así como se describió la salida de ésta OR provoca que el sistema se detenga al ir a la señal "SET" del flip-flop principal.

El usuario de la interfaz debe estar consiente del uso de todas las señales anteriores para que la comunicación entre ambos sea satisfactoria, es decir; debe utilizar la señal de reloj externo (EXT.CLK) para proveer al generador de direcciones externo y al latch de despliegue la velocidad a la que harán su trabajo, la señal de reinicio externo (EXT.RST) para indicar a los contadores del bus externo y al 4516 el reinicio de la cuenta, las señales de memoria vacía (ME) y memoria llena (MF) para que la interfaz sepa el estado de la memoria, el reloj maestro externo (M.CLK) para aplicar la frecuencia de operación que el usuario de la interfaz desee, la señal de estado (STATUS) sirve con el uso de un contador en la interfaz para que se lleve una cuenta de cuántas localidades de memoria han sido escritas y así el sistema externo sepa si le falta o ya terminó de leer la memoria, la señal de paro crítico (C.STP) es para que el sistema de sensado y control sea detenido inmediatamente en caso de que exista algún problema en la interfaz.