

Capítulo

2

## Capítulo 2 Hardware Digital

### 2.1 Introducción

Una vez que se presentaron los circuitos integrados usados en la parte analógica, lo siguiente es la parte digital. Al igual que el capítulo anterior, se presentarán cada uno de los dispositivos utilizados, su aplicación en el sistema y algunos datos de su funcionamiento en general.

Los dispositivos electrónicos digitales (hardware digital) son muy simples de comprender, ya que únicamente reconocen dos estados, no existen valores intermedios en valores sucesivos; lo que quiere decir que solamente identifican valores de abierto o cerrado, 0 o 1 lógicos, 0 o 5 volts, falso o cierto, etc. El capítulo incluirá compuertas lógicas, convertidores ADC, contadores, memoria y registros de tercer estado.

### 2.2 Compuertas Lógicas

Los circuitos digitales (lógicos) funcionan en modo binario haciendo la correspondencia de 0 para la no existencia de voltaje y 1 cuando se tiene presencia del mismo, llamados niveles lógicos; con lo que se permite el uso de la lógica booleana como herramienta para el análisis y diseño de sistemas digitales. La siguiente tabla muestra los valores lógicos y sus interpretaciones:

<b>LOGICO 0</b>	<b>LOGICO 1</b>
<b>Falso</b>	<b>Verdadero</b>
<b>Apagado</b>	<b>Encendido</b>
<b>Bajo</b>	<b>Alto</b>
<b>No</b>	<b>Si</b>
<b>Interruptor Abierto</b>	<b>Interruptor Cerrado</b>

Figura 14 Tabla de valores lógicos.

En el álgebra booleana sólo existen tres operaciones básicas:

- Adición lógica (OR), signo +
- Multiplicación lógica (AND), signo •
- Complemento o inversión lógica (NOT), signo  $\bar{\quad}$

Se puede tener en los circuitos lógicos más de una entrada y sólo una salida, por lo que se debe tener una llamada tabla de verdad para poder realizar su interpretación, en cada tabla se lista del lado izquierdo las posibles combinaciones de 0's y 1's que pueden tenerse a la entrada y en el lado derecho aparece la salida. Representándose las entradas con letras mayúsculas y la salida generalmente con la expresión de la variable "x".

### 2.2.1 Operación OR

Suponiendo que se tienen dos entradas A y B, al combinarse con la operación OR se tiene  $x = A + B$  y la expresión es leída como  $x = A$  OR B, especificando que el signo + en la lógica booleana representa la operación OR y no una adición de los valores de A y B como sería en el sistema ordinario. La tabla de verdad y su símbolo esquemático se muestran a continuación (figura14):

A	B	$x = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

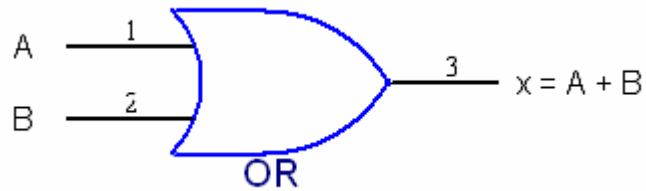


Figura 15 Tabla de verdad y símbolo esquemático OR.

Debe recordarse que la operación OR obtiene como resultado un 1 cuando cualquiera de las variables de entrada es 1 y obtiene un 0 únicamente cuando todas las variables de entrada son 0.

### 2.2.2 Operación AND

Si se tienen dos entradas expresadas con la combinación AND la expresión será  $x = A \cdot B$  o  $x = AB$ , leída como  $x = A$  AND  $B$ , la tabla de verdad y su símbolo esquemático son:

A	B	$x = AB$
0	0	0
0	1	0
1	0	0
1	1	1

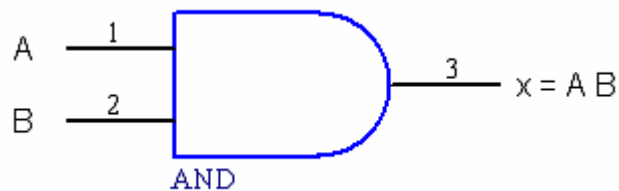


Figura 16 Tabla de verdad y símbolo esquemático AND.

Se puede decir que la operación AND da como resultado un 1 solamente si todas sus entradas son 1 y resulta en 0 para cualquier otro caso.

### 2.2.3 Operación NOT

La operación NOT es diferente de la OR y la AND en el sentido de que puede ejecutarse con una sola variable de entrada. Si se quiere la operación NOT de una variable, su expresión sería  $x = \bar{A}$ , en donde la raya superior representa la operación NOT y leída como  $x = \text{NOT } A$  y NOT se puede leer como inverso o complemento. La operación indica que el resultado es el valor opuesto que tenía la variable a la entrada. La tabla de verdad y el símbolo esquemático son:

A	x = Inverso de A
0	1
1	0

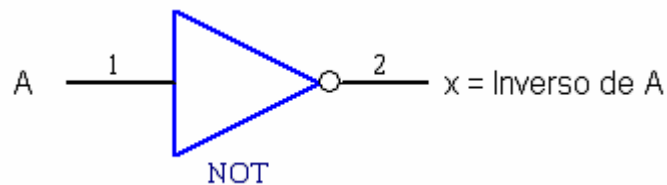


Figura 17 Tabla de verdad y símbolo esquemático NOT.

Existen otras dos operaciones que se pueden realizar con la lógica booleana que son la NOR y la NAND, pero simple mente es una combinación de las anteriores, sencillamente el valor obtenido en la operación es invertido.

### 2.2.4 Lógica Booleana en circuitos

Sin importar la complejidad de un circuito digital, se puede expresar completamente usando las compuertas AND, OR y NOT, es importante destacar que debe seguirse una secuencia al momento de realizar las operaciones. Primeramente deben realizarse todos los complementos que tengan las variables individuales, en seguida las operaciones con paréntesis, después las operaciones AND, seguidas de las OR a menos que algún paréntesis indique lo contrario, y por último si toda la expresión tiene una barra de NOT, primero se realizan todas las operaciones y por último se invierte el resultado obtenido.

### 2.2.5 Aplicación en el sistema

Casi siempre en cualquier diseño de circuitos digitales se encuentra la presencia de compuertas lógicas y éste no es la excepción. Se utilizan compuertas OR, AND, NOT, NAND y NOR para el manejo de los datos alrededor el sistema; proporcionando los niveles lógicos requeridos. Hay que destacar que se usó una combinación de compuertas NOR para implementar los inversores. Simplemente las dos entradas de la compuerta se unieron a la señal de entrada obteniendo a la salida el complemento de la señal.

El sistema también implementa unas compuertas NAND pero smith trigger, los dispositivos NAND schmitt trigger tienen un tipo característico que hacen su aplicación muy útil en situaciones especiales. En las señales de entrada puede existir oscilación obteniendo disparos erróneos de los dispositivos, por lo que los scmhatt trigger tienen la capacidad de aceptar cambios pequeños de la señal de entrada, dando como resultado una salida confiable sin oscilaciones. En seguida se muestra la tabla de verdad y el símbolo esquemático en la figura 18:

A	B	$x = \overline{AB}$
0	0	1
0	1	1
1	0	1
1	1	0

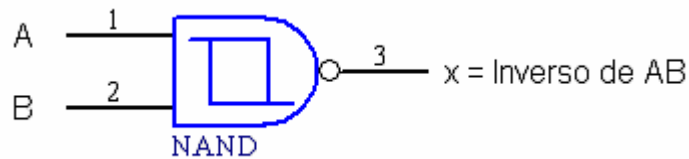


Figura 18 Tabla de verdad y símbolo esquemático NAND Smith Trigger.

Las compuertas usadas sirven para realizar la lógica de control del sistema, se ubican desde el inicio las NAND Smith Trigger conectadas a los push buttons y flip-flops tipo D para generar los pulsos de encendido, apagado, cambios de manual a automático, inicio, paro, etc.

Las OR, AND y NOT son implementadas a lo largo del sistema para enviar y recibir las señales lógicas requeridas para el funcionamiento deseado del sistema. En el que simplemente usando una lógica sencilla adquiere los valores a utilizar. Las AND se utilizan para seleccionar en el 4516 para seleccionar el conteo de 9 incrementos y reinicio, en la lógica de selección de automático-manual, para efectuar el inicio al momento de oprimir el push button correspondiente, el encendido y apagado de los led's de control, etc.

La manera de seleccionar cuál compuerta utilizar fue siguiendo paso a paso el funcionamiento del circuito y aplicar la compuerta que cumpliera con las necesidades para realizar las acciones requeridas, para identificar el lugar de aplicación dirigirse a la página 76 donde se encuentra el diagrama general del sistema.

## 2.3 Convertidores análogo-digitales

Los convertidores A/D son dispositivos electrónicos que establecen una relación bilateral entre el valor de la señal en su entrada y la palabra digital obtenida en su salida. La relación se establece en la mayoría de los casos, con la ayuda de una tensión de referencia. La conversión analógica a digital tiene su fundamento teórico en el teorema de muestreo y en los conceptos de cuantificación y codificación.

Las señales eléctricas utilizables de la mayoría de los transductores son analógicas por naturaleza, y por lo tanto si dichas señales se requieren procesar con equipo digital, es necesario convertir la información original en digital, de ahí que el uso y diseño de convertidores análogo-digital (A/D) sea de gran importancia para las aplicaciones en ingeniería que usen y diseñen instrumentos digitales.

Los convertidores análogo-digitales son normalmente el enlace entre el transductor y el procesador digital y son casi la única fuente de errores en un instrumento digital, de aquí que la calidad del convertidor A/D normará la calidad final del equipo.

Las señales analógicas provenientes de transductores más comúnmente empleados son voltaje y corriente los cuales son fácilmente convertibles en tiempo o frecuencia, o bien pueden compararse con fuentes de referencia, estas posibilidades de procesar las señales analógicas da lugar a distintos tipos de convertidores A/D los cuales se pueden clasificar en:

- Convertidores analógico digital por comparación de voltaje: En este grupo están incluidos los de balance nulo continuo, aproximaciones sucesivas, y el convertidor de rampa discreta. Estos métodos utilizan un convertidor digital analógico para proporcionar un voltaje de referencia variable que se compare con la entrada.



- Convertidores analógico digital que usan técnicas de carga y/o descarga de un capacitor: En este grupo están el convertidor de voltaje a frecuencia, convertidor de ancho de pulso y el convertidor de doble integración.

Para poder llegar al mejor convertidor según la aplicación que se desee, se toman en cuenta las características de rapidez de conversión, exactitud, inmunidad al ruido y economía para cada uno de los convertidores que se vayan probando.

### 2.3.1 Teorema de muestreo

Éste teorema indica que la frecuencia de muestreo debe ser al menos del doble de  $f_c$  (frecuencia de corte), de lo contrario se produce el efecto de “aliasing” o solapamiento y hay que reconstruir el filtro pasa bajos para filtrar la señal antes de muestrearla o también se puede aumentar la frecuencia de muestreo.

### 2.3.2 Características

Muchos tipos importantes de convertidores análogo-digitales utilizan un convertidor digital análogo como parte de su circuitería, el tiempo de operación es proporcionado por la entrada de una señal de reloj. La unidad de control contiene las circuitería lógica necesaria para generar la secuencia propia de operación en respuesta a un comando de inicio, el cual inicializa el proceso de conversión; un amplificador operacional comparador tiene dos entradas analógicas y una salida digital que continuamente están cambiando de estado, dependiendo de que entrada analógica será más grande.

La operación básica de un ADC de los tipos anteriormente mencionados consiste en los siguientes pasos:

- 1) El pulso del comando de inicio inicializa la operación.

- 2) A un rango determinado del reloj, la unidad de control continuamente modifica el número binario que se encuentra almacenado en el registro.
- 3) El número en el registro es convertido en un voltaje analógico por un DAC.
- 4) El comparador compara  $V_{ax}$  con la entrada analógica  $V_a$ , en el caso que  $V_{ax} < V_a$ , la salida del comparador es puesta en un nivel alto. Cuando  $V_{ax}$  sobrepasa el valor de  $V_a$  por al menos un valor igual a  $V_t$  (voltaje umbral), la salida del comparador es puesta en un nivel bajo y se tiene proceso de modificación del registro numérico. En ese momento,  $V_{ax}$  se encuentra cercano al valor de  $V_a$ ; el número digital en el registro que es el equivalente digital de  $V_{ax}$ , se encuentra también aproximado al equivalente digital de  $V_a$ ; incluyendo la resolución y precisión del sistema.
- 5) El control lógico activa la señal de fin de conversión, EOC, en cuando la conversión finaliza.

Las variaciones del esquema de una conversión análoga-digital varían mucho dependiendo de que sección del control modifica constantemente los números en el registro. De ahí que la idea básica sea la misma, el registro mantiene la salida digital requerida cuando el proceso de conversión es terminado.

### 2.3.3 Resolución y precisión

La resolución de un ADC es igual a la de un DAC en lo que respecta a su contenido, el voltaje de salida  $V_{ax}$  del DAC es una forma de onda en escalera que se va incrementando en pasos discretos hasta que se excede el valor de  $V_a$ . De ahí que  $V_{ax}$  será una aproximación el valor de  $V_a$  y lo mejor que se puede esperar es que  $V_{ax}$  se encuentre en el rango de 0 y 10mV de  $V_a$  en el caso de que la resolución sea de 10mV por dar un ejemplo. Se puede pensar que la resolución es como un error construido que frecuentemente se refiere a un error de cuantización, este puede ser reducido con el incremento del número de bits en el

contador y del DAC; algunas veces se especifica como un error de  $\pm 1$  LSB el cual indica que el resultado podrá diferir sólo en el bit menos significativo (LSB).

Se puede decir que la entrada  $V_a$  puede tomar un número infinito de valores comprendidos entre 0 y el posible valor de salida máximo esperado. Por lo tanto la aproximación de  $V_{ax}$  puede tomar sólo un número finito de valores discretos, esto significa que un pequeño rango de  $V_a$  tendrá la misma representación digital.

La precisión no está relacionada con la resolución pero es dependiente de la precisión de los componentes del circuito tales como el comparador, la resistencia de precisión del DAC, los switches de corriente, las alimentaciones de referencia, etc. un error especificado de 0.01% F.S. indica que el resultado del ADC podrá diferir un 0.01% del posible valor máximo de salida esperado, esto sucede teniendo componentes no ideales. Lo anterior sumado al error de cuantización es lo que da como resultado la resolución; estos dos errores son usualmente del mismo orden de magnitud para un ADC.

#### 2.3.4 Tiempo de conversión

El tiempo de conversión se define como un intervalo entre el final del pulso de inicio (START) y la activación de la señal de salida del fin de conversión (EOC). El contador inicia su cuenta desde 0 y se incrementa hasta que  $V_{ax}$  excede a  $V_a$ , en el punto que la señal EOC cambia a un estado bajo es cuando proceso de conversión termina. Lo anterior aclara que el valor del tiempo de conversión  $t_c$  depende de  $V_a$ .

La siguiente figura muestra lo que es el tiempo de conversión:

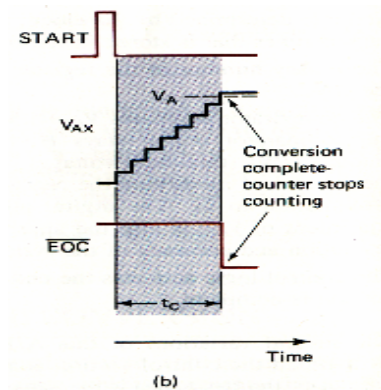


Figura 19 Diagrama de tiempos de conversión de un ADC.

Un valor grande requerirá más escalones antes que el voltaje de la escalera exceda el valor de  $V_A$ . El máximo tiempo de conversión ocurrirá cuando  $V_A$  se encuentre en el valor más alto de la escala entonces  $V_{Ax}$  tendrá que estar en el último escalón y activar la señal EOC. Para la conversión de un N-bit la fórmula es la siguiente:

$$t_c(\max) = 2^N - 1 \text{ clock cycles}$$

En algunas ocasiones se especifica un tiempo promedio de conversión, que es la mitad del máximo tiempo de conversión; para un convertidor que utiliza métodos de rampa la fórmula es la siguiente:

$$t_c(\text{avg}) = \frac{t_c(\max)}{2} \approx 2^{N-1} \text{ clock cycles}$$

### 2.3.5 Adquisición de datos

Existen muchas aplicaciones en la que los datos analógicos tienen que ser digitalizados y transferidos a la memoria de una computadora, el proceso por el cual la computadora adquiere dichos datos es a lo que se le llama adquisición de datos. La computadora realiza muchas operaciones con ellos dependiendo del tipo de aplicación, por ejemplo en una aplicación de control la computadora puede

examinar el dato o realizar operaciones con ellos para determinar qué tipo de salida generar. Para el caso la adquisición de datos es el almacenamiento en la memoria.

### 2.3.6 Convertidores A/D tipo Half-Flash

Ésta variante de convertidores requiere mucho más circuitería que en los otros pero con la ventaja que son de alta velocidad, es decir, para el caso de un convertidor de ocho bits se necesitan 32 comparadores divididos en dos bloques de 16 cada uno; con los primeros 16 se realiza la conversión de los cuatro bits más significativos posteriormente se realimentan al DAC y con el valor obtenido se realiza la conversión de los cuatro bits menos significativos con los 16 comparadores restantes. En general un convertidor este tipo requiere  $2^N - 1$  comparadores,  $2^N$  resistencias y un codificador lógico.

### 2.3.7 Tiempo de conversión

Los convertidores half-flash no requieren de una señal de reloj debido a que no se necesita algún tipo de tiempo secuencial, la conversión se realiza continuamente. Cuando entra una salida analógica cambia la salida del comparador causando que la salida del codificador cambie; el tiempo de conversión es el tiempo que le toma una salida digital aparecer en respuesta al cambio realizado en  $V_a$  dependiendo solamente de los retardos de propagación de los comparadores y del codificador lógico. Debido a esta razón los convertidores half-flash tienen tiempos de conversión extremadamente pequeños.

### 2.3.8 Aplicación en el sistema

La señal del sensor, el offset y la ganancia de cada galga que proviene de los multiplexores una vez que se ha amplificado, es recibida en el convertidor análogo digital utilizado; pudiéndose realizar la conversión a datos digitales y almacenarse en la memoria. El convertidor utilizado es de tipo half-flash, con una

resolución de 8 bits e interfaz paralelo, puede realizar conversiones en  $1.18 \mu s.$ , tiene también la capacidad de muestreo y retención. Con las características mencionadas, el convertidor siempre está en funcionamiento para que realice y envíe constantemente las conversiones de las señales recibidas. Los datos ya que son convertidos se envían a un latch (registro) de tercer estado que se encuentra de intermediario entre el ADC y la memoria para evitar choques de los datos al momento de que la memoria sea escrita-leída. En los ciclos altos del reloj los datos salen de la memoria y en los ciclos bajos los datos entran, como el latch se activa en el flanco de subida y en alto permanece en tercer estado; los datos enviados del convertidor permanecen sin alterarse.

El diagrama que muestra la figura 20, exhibe la conexión en el sistema:

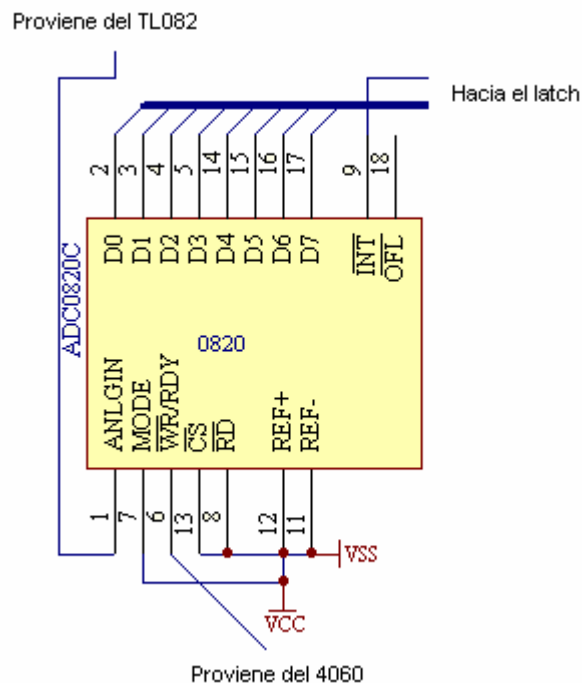


Figura 20 Esquema de conexión del convertidor A/D.

## 2.4 Registros de tercer estado

En la mayoría de las computadoras se tienen líneas de conexión de datos a un punto en común que son los llamados buses, muchos dispositivos pueden estar

conectados a los buses, por ello con frecuencia se tienen salidas en tercer estado; esto es que sólo mandan su señal a la salida cuando son habilitados.

Las salidas de los circuitos integrados de tercer estado pueden ser conectadas entre sí (en paralelo), sin necesidad de reducir la velocidad de permutación, esto es porque cuando la salida de tercer estado se encuentra habilitada, funciona como una salida de poste tótem que se encuentra en baja impedancia y tiene características de alta velocidad. En éste tipo de configuración sólo una salida puede ser habilitada en un periodo de tiempo.

### 2.4.1 Descripción

Un circuito integrado de tercer estado es utilizado para el control del paso de la entrada a la salida de una señal lógica, algunos tienen la capacidad de invertir la salida. Su funcionamiento es muy sencillo, simplemente si se tienen varios registros conectados, sólo uno de ellos manda a la salida su contenido cuando se habilita su señal OE, y los demás permanecen en tercer estado o estado de alta impedancia.

Cuando se tienen diseños en los que varias señales son conectadas a líneas en común (buses), es conveniente el uso de registros de tercer estado. Los registros de tercer estado utilizados en el sistema tienen un detector de flanco o de nivel para asegurar que la salida sea habilitada únicamente cuando la transición del reloj suceda.

Los registros tienen internamente un flip-flop tipo D el cuál enviará el dato a la salida cada vez que se realiza la transición del reloj (sistema síncrono). Las características de muestreo y retención (S & H) de los datos dependen del tipo de registro utilizado, el latch (registro) 573 activa su salida en cada nivel bajo de la

señal de reloj y el latch 574 realiza la misma operación en cada flanco de subida de la señal del reloj.

También en el sistema se utiliza un flip-flop tipo D de tercer estado (4013) que realiza lo mismo que los anteriores, la única diferencia es que trabaja sólo con un dato y los registros anteriormente mencionados trabajan con 8. Pero realiza las mismas funciones de muestreo y retención.

El diagrama siguiente, muestra el funcionamiento síncrono de 3 registros que envían o reciben 4 datos del bus de datos:

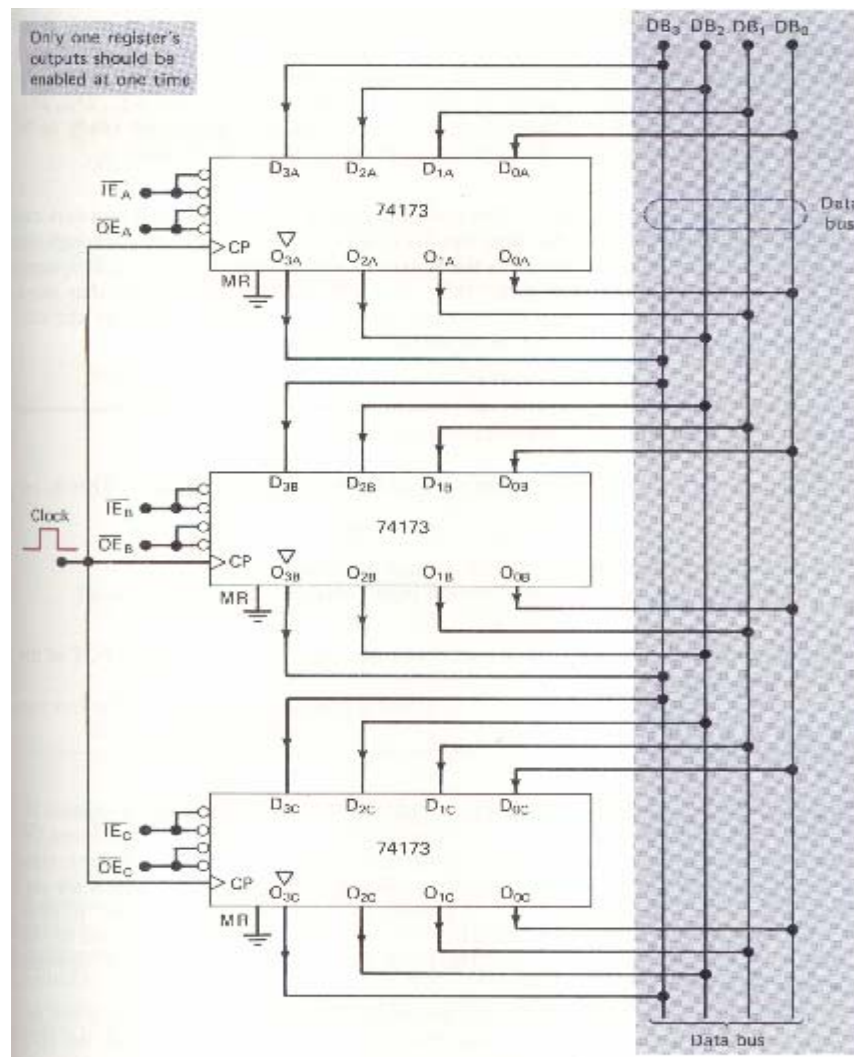


Figura 21 Ejemplo de conexión de registros de tercer estado.



La figura 21 muestra cómo los registros se encuentran conectados de tal forma que no exista conflicto en el bus, es decir; los datos no se mezclen entre ellos al ingresar o salir del bus. En el sistema se utiliza una configuración parecida sólo que se ocupan registros 573 para los buses interno y externo, además de registros 574 para la función de atrapar los datos y evitar conflictos.

#### 2.4.2 Aplicación en el sistema

Los registros 573 son utilizados para conectarse a la memoria y se generen los buses de direcciones interno y externo (constan de tres cada uno), se conectan a sus entradas dos contadores 4040 que van generando los pulsos para que a la salida de las tercias de registros se tenga la generación de una localidad de memoria de 20 bits, los pines de RST se conectan al 4060 para que cada que se reinicie el sistema los contadores empiecen su cuenta nuevamente. Hay otro registro del tipo 573 conectado entre la salida de datos de la memoria y la matriz de led's, su operación es para el despliegue de cada uno de los 9 bytes (9 datos de 8 bits) pertenecientes a los datos de escritura o lectura que se encuentran en la memoria.

Existe un registro 574 entre la salida del ADC y la entrada a la memoria, su función es evitar la pérdida de datos y conflicto de colisiones en los datos que son leídos o escritos. Lo anterior debido a que a diferencia de los 573, su activación es por flanco de subida. Como la memoria es escrita en los niveles bajos del reloj y leída en los niveles altos si se utilizara un registro 573, los datos estarían en conflicto puesto que al encontrarse el reloj en un nivel bajo la memoria escribiría el dato y el registro mandaría otro dato ocasionando colisiones, por ello se utiliza el 574 que es activo en los flancos de subida lo que implica que al momento de escribir a la memoria, el latch (registro) mantiene el nuevo dato adquirido del ADC y el dato anterior se almacena en la memoria.

En seguida se muestran los diagramas donde se utilizan los registros correspondientes al bus interno, externo, entre el convertidor A/D y la memoria, y entre la matriz de led's y la memoria:

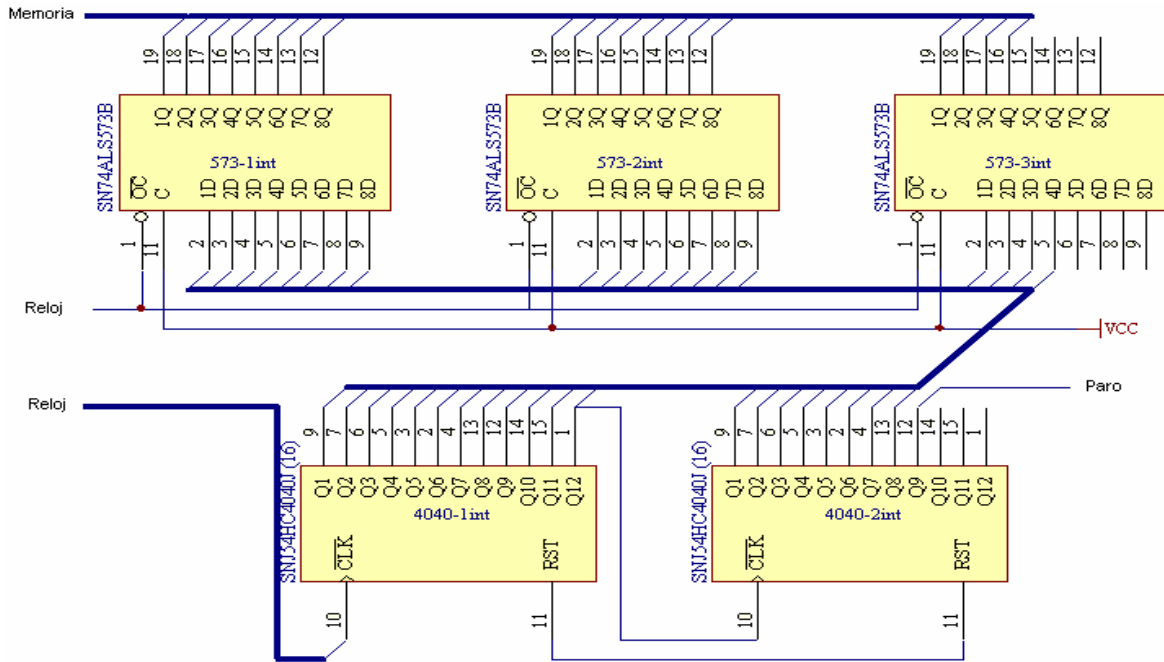


Figura 22 Esquema del generador de direcciones y bus interno.

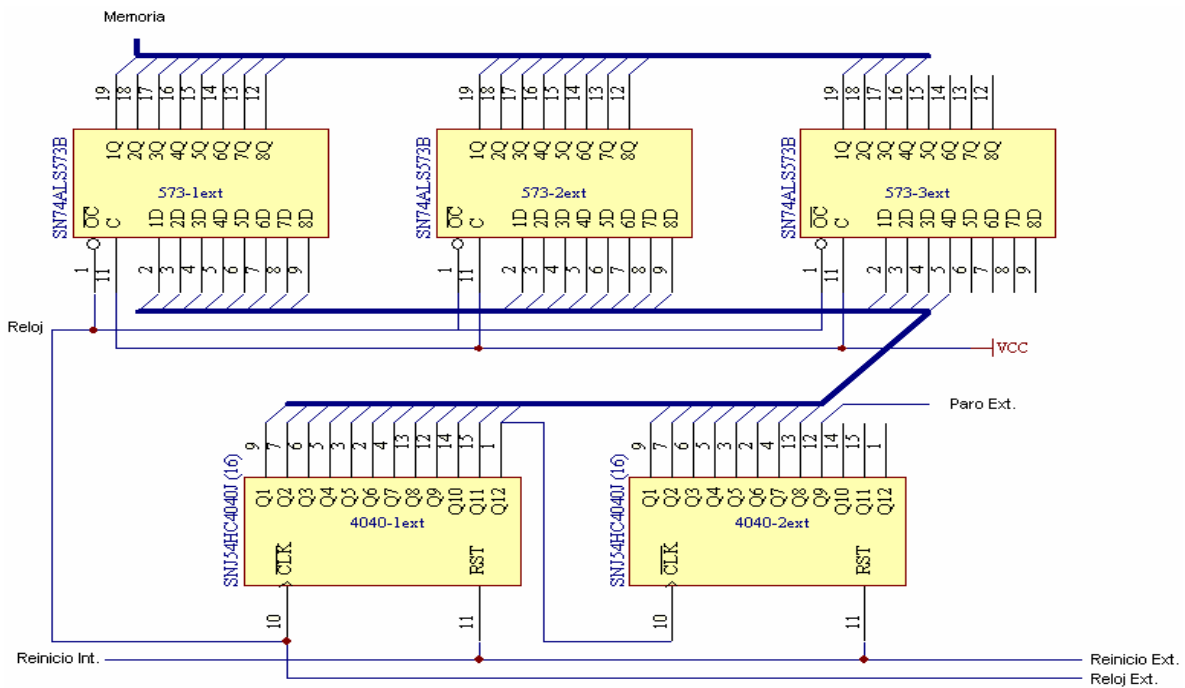


Figura 23 Esquema del generador de direcciones y bus externo.

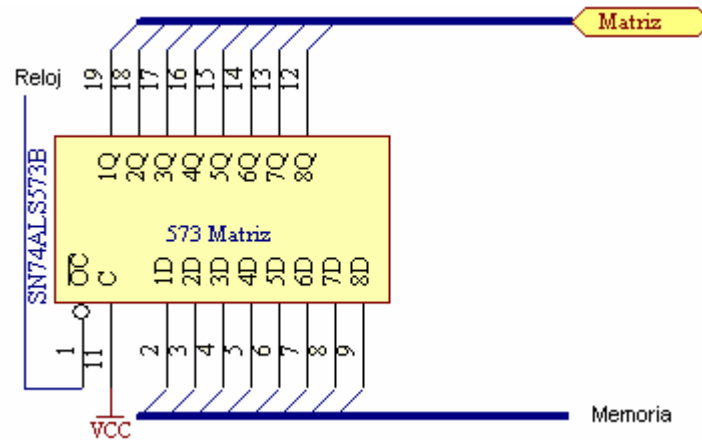


Figura 24 Esquema de registro para despliegue en la matriz.

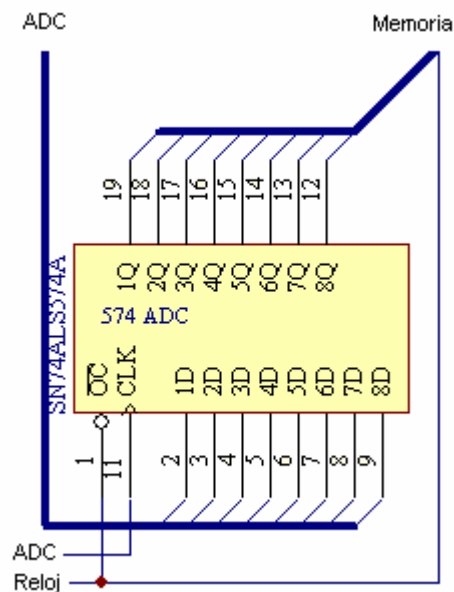


Figura 25 Esquema de registro entre ADC y memoria.

## 2.5 Memoria SRAM

Una memoria de acceso aleatorio (RAM), implica que cualquier dirección de memoria es fácilmente accesible como cualquier otra. Existen muchos tipos de memorias que pueden ser clasificadas de acceso aleatorio, pero cuando se usa el término RAM en memorias semiconductoras significa que son memorias de lectura- escritura (RWM) exactamente lo opuesto a lo que es una memoria ROM.

De ahí que el término RAM sea utilizado más frecuentemente para describir las memorias semiconductoras RWM.

Las RAM's son utilizadas para almacenaje temporal de programas y datos, el contenido de las direcciones podrá ser leído y escrito como si se estuviera ejecutando un programa de computadora; esto requiere ciclos de escritura y lectura muy rápidos para que la memoria no disminuya la velocidad operacional de la computadora o sistema utilizado.

Una desventaja respecto de estas memorias es que son volátiles y pierden la información almacenada si el suministro de energía es interrumpido o apagado. Algunas memorias RAM de tipo CMOS usan pequeñas cantidades energía cuando se encuentran en modo de espera, por ello pueden ser alimentadas con baterías integradas y por lo tanto no perderán los datos almacenados.

Una variante de la RAM es la memoria SRAM que es una matriz rectangular de celdas básicas junto a una lógica de decodificación de direcciones (un decodificador). La memoria normalmente se organiza en bloques de 8 celdas, formando bytes de memoria. Esta agrupación de celdas es habilitada para su lectura o escritura por una misma línea de selección, conectada a la entrada "select" de las celdas básicas. Dicha línea de selección es una de las salidas del decodificador de direcciones, que deberá tener tantas salidas como bytes existen en la memoria.

SRAM es el acrónimo de Static Random Access Memory o memoria de acceso aleatorio estática. En general, las memorias son matrices de celdas de memoria. Cada una de ellas puede almacenar un bit. En el caso de las SRAM, las celdas de memoria se implementan a partir de cerrojos.

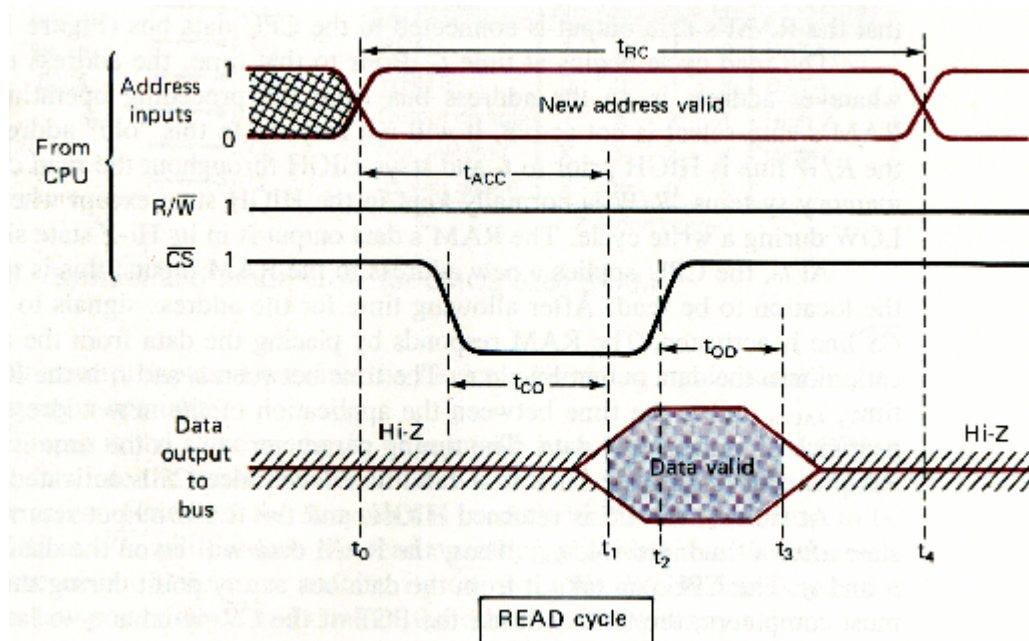
Las SRAM se utilizan como memorias de acceso rápido (cachés por ejemplo) y tienen una capacidad bastante inferior a las DRAM (Dynamic RAM).

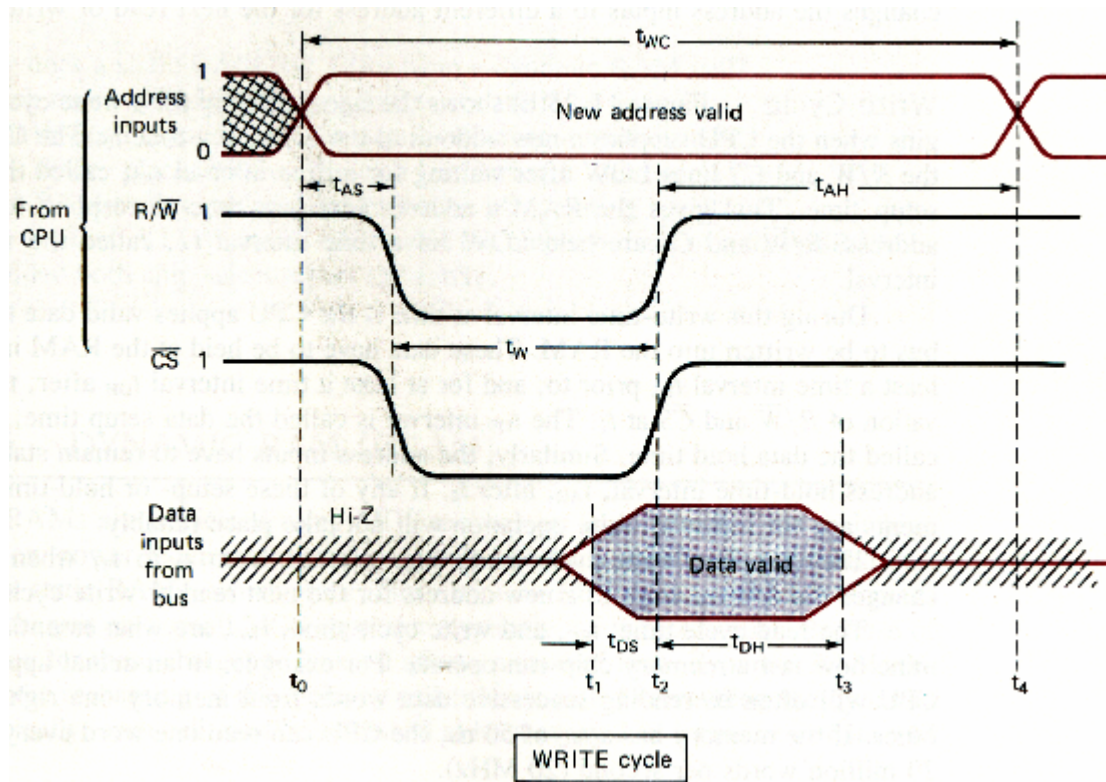
Estas últimas almacenan los bits a nivel de capacitor, permitiéndose así un número superior de bits por unidad de área. Otra diferencia fundamental y determinante en casos de grandes anchos de banda es que las SRAM no tienen que refrescarse y por tanto el 100% del tiempo están disponibles para ser utilizadas. Además, el tiempo de lectura y de escritura suele ser significativamente inferior.

### 2.5.1 Interfaz de la memoria

El interfaz típico de una SRAM presenta un bus de datos de entrada-salida y de señales de selección select, también considerada como una habilitación de lectura (read) y escritura (write). A través del bus de datos, podemos leer o escribir datos binarios. Para leer o escribir en la memoria, select debe ser 0. Mientras select sea 1, el bus de datos presenta alta impedancia lo que posibilita la conexión de varias memorias SRAM a un bus de datos compartido. Por esta razón, cuando dos SRAM comparten el mismo bus, sólo tiene sentido hacer que la entrada select de una de ellas sea 0 en un determinado instante de tiempo. De la misma forma, si deseamos escribir en la memoria haremos write = 0.

Tiempos de lectura y escritura:





Figuras 26 y 27 Diagrama de tiempos de lectura (arriba) y diagrama de tiempos de escritura (abajo) de la memoria.

También es posible encontrar diseños que presentan buses diferentes para leer y escribir, e incluso memorias que presentan varios puertos de entrada y salida, aunque estas configuraciones son muy específicas y mucho más complejas. Un ejemplo típico de memoria multipuerto es la VRAM (Video RAM) que debe ser modificada y leída simultáneamente ya que se lee para presentar la salida por pantalla, y ésta no puede ser interrumpida cuando estamos modificando el contenido de la memoria. Otro ejemplo de memoria multipuerto lo constituyen los ficheros de registros.

Tabla de verdad de la memoria BQ4016Y:

MODO	$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	E/S	ESTADO
No selección	H	X	X	Alta impedancia	En espera
Salida deshabilitada	L	H	H	Alta impedancia	Activa
Lectura	L	H	L	Salida de datos	Activa
Escritura	L	L	X	Entrada de datos	Activa

Figura 28 Tabla de verdad de la memoria BQ4016Y.

### 2.5.2 Características

Las celdas de la RAM estática son esencialmente flip-flops que pueden mantener un estado indefinidamente (guardar un bit), dando como resultado que la energía de los circuitos no sea interrumpida. Como se mencionó anteriormente las RAM's dinámicas almacenan los datos por medio capacitores, lo que provoca que los datos almacenados se vayan perdiendo gradualmente con la descarga de los capacitores de ahí que sea necesario refrescar memoria periódicamente.

Diagrama a bloques de la BQ4016Y:

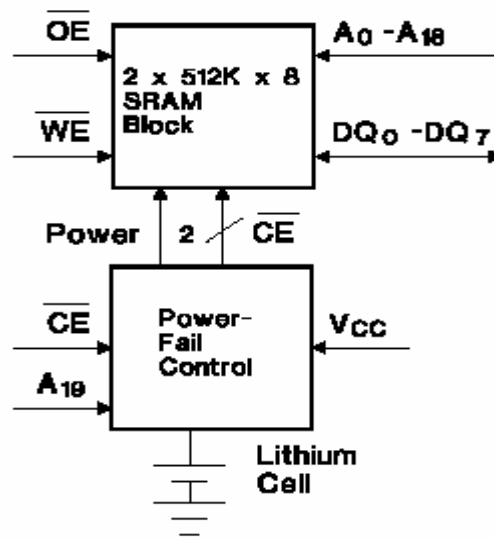


Figura 29 Diagrama a bloques de la memoria BQ4016Y.

### 2.5.3 Temporización

No todas las RAM's tienen las mismas características en cuanto a tiempo se refiere, pero la mayoría son similares de ahí que para propósitos generales las características sean típicas. La nomenclatura de los parámetros de tiempo varía de un fabricante a otro, sin embargo para saber específicamente los parámetros éstos se encuentran en las hojas técnicas de cada memoria.

### 2.5.4 Aplicación en el sistema

La memoria es utilizada para el almacenamiento de la información de cada galga una vez que es convertida a datos digitales, como se tiene la función de lectura-escritura y la memoria a pesar de ser volátil, cuenta con una batería que le proporciona la capacidad de mantener siempre los datos aunque el sistema se encuentre sin alimentación, dichos datos se pueden mantener en todo momento y ser leídos aunque se hayan almacenado tiempo atrás. Así es posible almacenar una secuencia de movimientos y ser reproducida en el tiempo y las veces que se deseen.

A la memoria se encuentran conectados los buses interno y externo (para el control de las direcciones de memoria) generados y explicados anteriormente, el latch conectado al convertidor análogo-digital para la recepción de los datos y el latch conectado a la matriz para desplegar los datos.

El funcionamiento en general consiste en que en cada nivel bajo del ciclo de reloj los generadores de direcciones interno apunten a la localidad de memoria que va a ser escrita y como el dato se encuentra a la salida del latch proveniente del ADC, entonces los datos son escritos en dicha localidad, también los datos son enviados al latch de la matriz para su despliegue, para ello el multiplexor conectado a ella se encuentra apuntando al reglón correspondiente ya que tiene capturado a que sensor pertenecen los datos que son enviados al latch, así sucesivamente hasta que se complete la capacidad de la memoria.



Cuando se realiza la lectura de la memoria, sucede el mismo proceso anterior con la diferencia que ahora el proceso se realiza en los ciclos altos del reloj, por ello los contadores y registros del bus de direcciones externo reciben la señal de reloj proveniente del 4060 invertida, pues como la operación de dichos integrados es por nivel bajo se tendrían conflictos si se manda igual que al bus interno, con esto se logra que en cada ciclo bajo del reloj la memoria sea escrita y en cada ciclo alto sea leída; los pines pertenecientes a las señales OE y CS se encuentran siempre activos (nivel bajo) para que la memoria se encuentre en funcionamiento en todo momento. Se puede observar en la figura 30 el esquema de conexión de la memoria y su relación con los integrados mencionados, a simple vista es muy simple, sin embargo todo depende de la lógica utilizada en el control de las señales para evitar conflictos en las entradas o salidas de los datos lo cual se logra con la aplicación de las compuertas lógicas mencionadas en páginas anteriores.

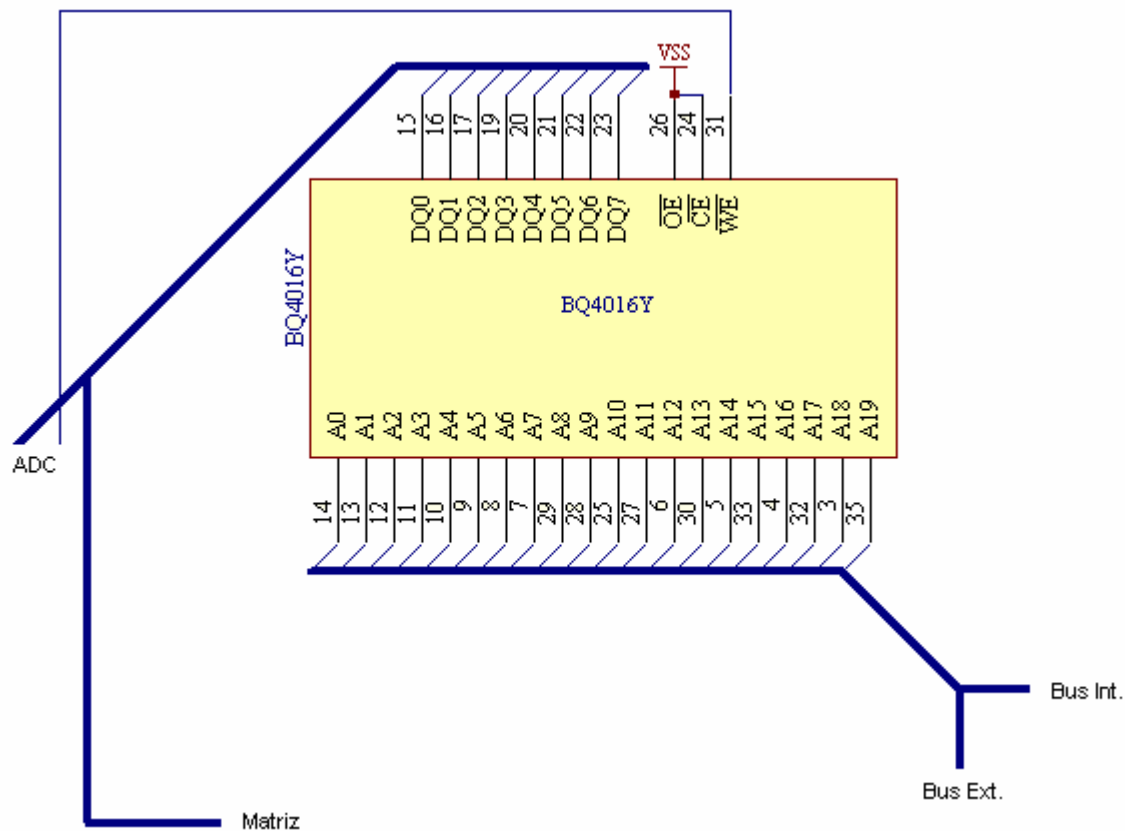


Figura 30 Diagrama de conexión de la memoria.

## 2.6 Contadores

Un contador es un dispositivo digital que utiliza flip-flops conectados en cascada para contar pulsos, la gran mayoría de los sistemas digitales avanzados utilizan contadores como bloques funcionales básicos dentro de su estructura. Los contadores se pueden usar para medir frecuencia, tiempo, temperatura, velocidad, etc., o también por supuesto para contar eventos, incluyendo también almacenar datos, manipular números, direcciones de dispositivos como multiplexores, demultiplexores, registros, memorias, etc.

Los contadores digitales se pueden clasificar en una gran variedad dependiendo de su funcionamiento, por ejemplo, el código que utilizan para representar la cuenta de los pulsos, en los que los dos grupos más importantes de contadores son los binarios y los BCD. En general se clasifican en dos grupos, asíncronos y síncronos; en los primeros cada flip-flop es disparado por el flip-flop precedente y en los segundos todas las etapas están disparadas por un reloj común; lo anterior aplica tanto para contadores binarios como para BCD. Algunos contadores contienen ambas características de operación y son llamados contadores híbridos.

Pueden dividirse también en lineales y alimentados, los lineales son aquellos donde el estado de un flip-flop depende del estado de los flip-flops anteriores y los alimentados son aquellos donde el estado de un flip-flop depende del estado de los anteriores y de los que le siguen en la cadena.

Los flip-flops pueden ser conectados para funcionar como contadores o registros, los sistemas digitales emplean muchas variaciones de estos circuitos básicos frecuentemente agrupados en la forma de circuito integrado; las compuertas clásicas y los flip-flops pueden ser combinados para generar diferentes tipos de contadores o registros.

### 2.6.1 Características

Como ya se mencionó anteriormente un contador, es una cadena de flip-flops conectados de tal modo que la salida de un flip-flop maneja la entrada del flip-flop siguiente produciendo cambios de estado una secuencia determinada cada vez que se aplica un pulso a la entrada del circuito. Las conexiones específicas entre los flip-flops de la cadena determinan las propiedades particulares del contador. En un contador binario los flip-flops están conectados de tal forma que la secuencia de estados generada sigue el mismo desenvolvimiento lógico que tienen los números (bits) del sistema binario posicional, los niveles altos y bajos de cada salida representan los bits 1 y 0 de la cuenta binaria; en conjunto las salidas registran el número de pulsos que han sido aplicados.

Los contadores binarios se llaman también contadores divisores por N, ya que producen un pulso de salida por cada N pulsos de entrada; al tener esta característica se pueden usar como escalizadores o divisores de frecuencia.

En general, un contador de módulo N es un circuito que realiza una secuencia a través de N estados diferentes; el módulo de un contador binario está estrechamente relacionado con su tamaño. Se puede citar como un ejemplo a un contador binario de ocho etapas que puede direccionar a hasta 256 pulsos ( $2^8 = 256$ ). Estos dispositivos pueden contar entre 0 y  $2^n - 1$  y tienen  $2^n$  estados diferentes, son llamados contadores de módulo n, donde n es el número hasta el cual pueden contar.

El módulo de un contador se puede incrementar simplemente agregando más flip-flops a la cadena o conectando varios contadores en cascada; en esta última opción el módulo de contador resultante es el producto de los módulos de los contadores individuales.

### 2.6.2 Contador binario síncrono

En este tipo de contadores todas las etapas del contador están manejadas directamente por una línea maestra de reloj y también todas las salidas al mismo tiempo, por lo tanto existen los efectos de propagación. La característica más importante es su velocidad ya que todos los flip-flops cambian de estado simultáneamente, en sincronismo con la señal de reloj. La demora total en cada cambio de estado es el tiempo de propagación de un solo flip-flop y no la suma de los tiempos de propagación de todas las etapas como sucede en un contador asíncrono. Lo que permite operar a frecuencias de reloj mucho más altas que las admitidas en un contador de rizo y no origina pulsos erráticos en las salidas del decodificador durante la transición de un estado a otro durante el tiempo de propagación (estos pulsos son llamados glitches) cuando se decodifica la cuenta binaria.

El problema al utilizar estos contadores es que aumenta la complejidad del circuito, pues se requiere una circuitería lógica adicional y un mayor número de conexiones, en general son más rápidos, más costosos, más complejos y consumen más potencia que un tipo asíncrono del mismo tipo, pero son una mejor opción cuando se trabaja altas frecuencias.

### 2.6.3 Operación

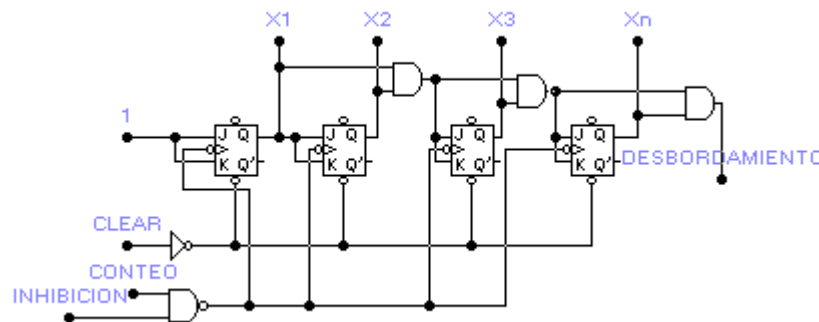
Tomando en cuenta que se utilizan flip-flops tipo JK, el principio de operación básico de los contadores síncronos es que las entradas J y K de los flip-flops están interconectadas por lo que cuando existe una transición negativa del reloj se tiene  $J = K = 1$  cuando ésta ocurre.

La figura 31 muestra un contador binario síncrono de  $n$  bits, construido a base de flip-flops JK con reloj. Un contador binario de  $n$  flip-flops debe partir del estado nulo y seguir la secuencia numérica  $0, 1, 2, 3, \dots, 2^n - 1, 0, 1, 2, \dots$ , etc. En otras palabras, el contador tendrá  $2^n$  estados únicos, y repetirá los estados

mientras se apliquen pulsos de reloj. La secuencia de estados de la tabla representa el diseño de la figura. Se puede observar que cada bit  $X_i$  debe complementarse en el siguiente pulso de conteo si todos los bits  $X_k$  para  $k = 1, \dots, i-1$  tienen el valor 1 lógico; el bit  $X_1$  siempre se complementa en cada pulso de conteo. Por tanto, podemos utilizar una compuerta AND de dos entradas en cada flip-flop del contador para generar una señal de control de alternancia para el siguiente bit más significativo en la cadena del contador. El flip-flop contador y los circuitos de control asociados a éste son una etapa del contador.

En condiciones de operación normales, las entradas J y K de cada flip-flop deben permanecer estables en 1 o 0 lógico mientras el pulso del contador experimenta sus transiciones 0, 1, 0. Un uno lógico en la línea de control "clear" obligará a todas las salidas del contador a asumir un 0 lógico y las mantendrá así hasta que la línea "clear" regrese a 0 lógico (su valor lógico normal). La señal de control Inhibit sirve para bloquear los pulsos de conteo y dejar al contador en algún estado no nulo, tal comportamiento es usado para la conservación de datos en una aplicación en particular.

Cuando los contadores lleguen al estado en que todos los valores son iguales a uno la señal de desbordamiento será alta. En algunos diseños de contadores, esta señal de desbordamiento se utiliza para controlar los módulos contadores en cascada y producir contadores con mayor longitud de palabra. En estos casos, la señal de desbordamiento se llama acarreo de salida en cascada (RCO).



X1	X2	X3	Xn
0	0	0	0
1	0	0	0
0	1	0	0
1	1	0	0
0	0	1	0
0	1	1	1
1	1	1	1
0	0	0	0
1	0	0	0
0	1	0	0

Figura 31 Contador binario síncrono y tabla de verdad.

#### 2.6.4 Contador binario asíncrono

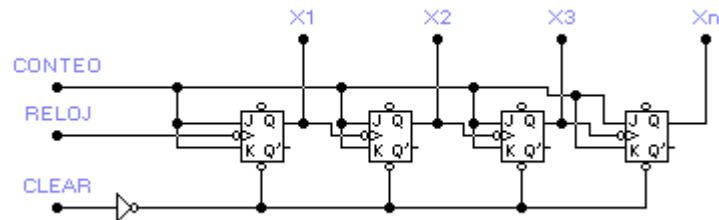
Un contador binario asíncrono es aquel cuyos cambios de estado no están controlados por un pulso de reloj sincronizado. Al eliminar la necesidad de la sincronización del reloj, se puede utilizar una cantidad menor de circuitos para implantar un contador binario.

Es el tipo de contador en el que cada salida de un flip-flop funciona como señal de entrada de reloj para el siguiente flip-flop, se conoce como contador asíncrono. Esto es porque todos los flip-flops no cambian de estado sincrónicamente con los pulsos de reloj, sólo el primer flip-flop responde directamente del reloj, el segundo tiene que esperar al primero para cambiar de estado, el tercero tiene que esperar al segundo y así sucesivamente.

Por ello existe un retardo entre las respuestas consecutivas de los flip-flops, en los nuevos flip-flops este retardo puede ser muy pequeño pero en algunos casos puede causar problemas; por la manera en la que este contador opera es también llamado contador de rizo.

### 2.6.5 Operación

Observando la figura siguiente (figura 32), se puede decir que la etapa del contador  $X_i$  se complementa cada vez que el estado  $X_{i-1}$  hace una transición 1 a 0; la etapa  $X_1$  siempre se complementa. La figura muestra un contador basado en estas observaciones. Podemos utilizar una orden "clear" común asíncrona para inicializar el contador en el estado 0, y mantenemos la orden del control "count" en 1 lógico para el conteo; el 0 lógico en "count" inhibe todos los conteos y deja al contador en un estado constante; éste es el modo de retención de datos.



X1	X2	X3	Xn
0	0	0	0
1	0	0	0
0	1	0	0
1	1	0	0
0	0	1	0

Figura 32 Contador binario asíncrono y tabla de verdad.

Examinemos ahora el comportamiento del contador binario asíncrono cuando sucede un desbordamiento. Justo antes del desbordamiento, todas las etapas del contador asumen el valor 1 lógico. Después de un pulso de reloj, el flip-flop de la etapa del contador  $X_i$  responde en  $t_{PHL}$  segundos. Entonces, cada etapa continúa de manera similar, hasta que todo el contador alcanza el estado lógico 0. En vez del cambio de estado deseado  $2^n - 1$  a 0, el contador ha pasado por la siguiente secuencia de estados:  $2^n - 1, 2^n - 2, 2^n - 4, 2^n - 8 \dots 2^n - 1, 0$ .

Aunque estas transiciones son rápidas, pueden generar condiciones transitorias no deseadas si las salidas del contador se utilizan para controlar un circuito lógico combinatorio. Los contadores asíncronos se conocen como contadores en cascada.

### 2.6.6 Contador prefijable

Prefijar un contador significa cargar número binario en el mismo con prioridad a la aplicación de la señal del reloj, de este modo cuando llegue el siguiente pulso la cuenta arranca a partir de ese número. Es aquel que puede programarse para comenzar a contar a partir de un estado específico de su secuencia de conteo.

En muchas aplicaciones la prefijación se limita a inicializar todas las salidas en 0's o en 1's, activando la línea de RESET o PRESET del contador; en el caso de que se desee comenzar a contar desde un número específico debe proveerse algún medio para cargar el contador con el número deseado, esto se logra controlando mediante una circuitería lógica adecuada las líneas de RESET y PRESET de cada flip-flop. Para ello el contador debe disponer de unas entradas de prefijación con las cuales se sitúa el dato a partir del cual debe iniciarse el conteo y de una línea de carga (LOAD) para habilitar la transferencia de información de entrada a las salidas, la figura 33 representa lo anterior.



La prefijación puede ser síncrona o asíncrona, en el primer caso el dato deseado se carga en el contador con los flancos de subida o de bajada de la señal de reloj, mientras que en el segundo la carga se realiza sin intervención de la señal de reloj.

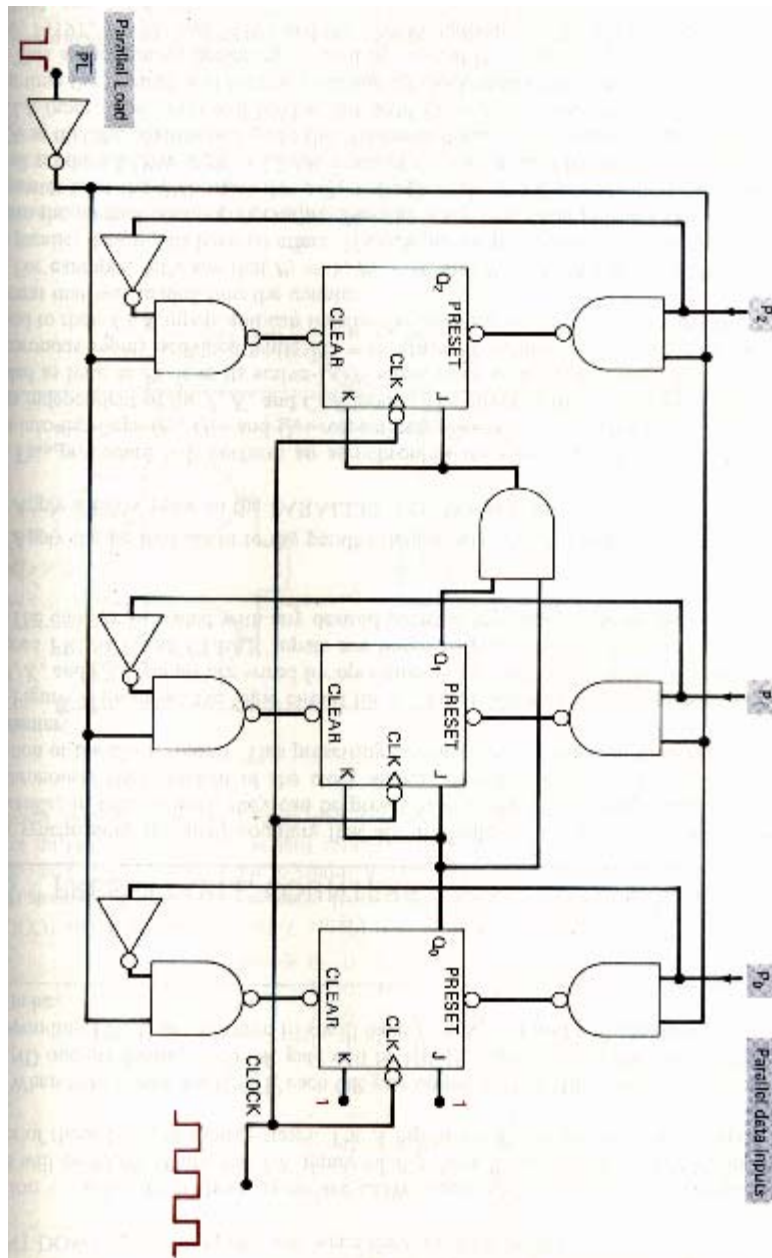


Figura 33 Diagrama de un contador prefijable.

### 2.6.7 Contador binario asíncrono de 14 estados y oscilador

Existe una clasificación básica de los contadores, que los divide en asíncronos y síncronos, en función de si la señal de reloj dispara en paralelo a todos los flip-flops (síncrono) o no (asíncrono). Además, los contadores pueden clasificarse en:

- 1) Atendiendo al tipo de secuencia que generan
- 2) Al número de estados por el que pasan (módulo)

El contador binario utilizado en éste caso, por ser asíncrono, la señal de reloj (señal contada) sólo se dirige al flip-flop que contiene el LSB. Por ser binario, la secuencia de conteo es  $0, 1, \dots, 2^n - 1, 0, 1, \dots$  donde  $n$  es el número de flip-flops que componen el contador. El módulo de un contador binario de este tipo es  $2^n$  (el máximo que se puede conseguir utilizando  $n$  flip-flops).

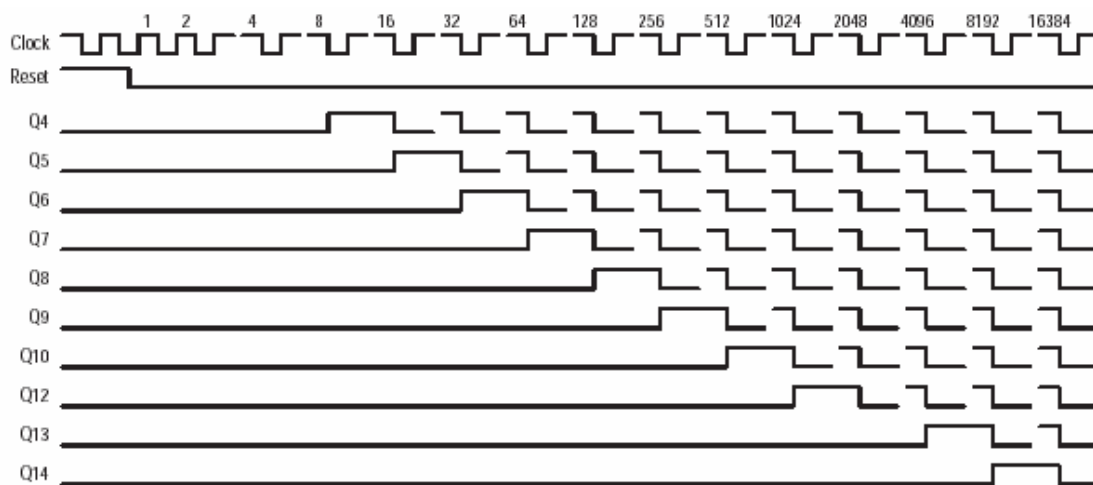


Figura 34 Diagrama de tiempos de un contador de 14 etapas.

### 2.6.8 Aplicación en el sistema

Se tienen varios tipos de contadores en el sistema, uno binario prefijable (figura 35) conectado a las entradas de los multiplexores y configurado para que cada vez que se llegue a la cuenta de 9 se reinicie, pues sólo se tienen 9

sensores, los multiplexores son de 16 entradas, entonces es posible reconfigurar el contador para que cuente hasta 16 y así poder expandir el sistema.

Se cuenta con otro contador-oscilador binario de 14 etapas utilizado para generar las distintas frecuencias de operación a las que se puede configurar el sistema, teniendo la función de reloj maestro (figura 36). Se utilizó un cristal de 4 Mhz. y de ahí se dividieron las frecuencias según las características que permite el contador y las del sistema, tomándose las más apropiadas para el sistema pues entre más rápido se utilizara se encontraba ruido y el despliegue en la pantalla era erróneo por el envío de datos que no correspondían a la medición verdadera. La utilización de varias frecuencias es para que el sistema sea compatible con la configuración de la interfaz a la que se conecte; como extra se incluye una frecuencia que no es generada por el sistema, ésta señal de reloj es enviada por la interfaz conectada al sistema y se encuentra configurada de tal manera que toma el completo control de las operaciones para que se trabaje específicamente a la frecuencia de operación de la interfaz.

Para la selección de la frecuencia a utilizar se dispone de un switch de 6 opciones conectado a las salidas de las frecuencias del contador-oscilador. Hay que destacar que la frecuencia de operación del convertidor es constante y no interviene la selección de la frecuencia del sistema para ello se seleccionó la primera salida que es de 250 Khz., consiguiendo una velocidad de conversión bastante rápida.

Y el otro tipo de contador utilizado es un contador binario de 12 etapas (figura 37) con el cual se generan las direcciones de las localidades de memoria para los buses de direcciones interno y externo. Debe destacarse que como la memoria es direccionable hasta  $2^{20}$  localidades, se necesita la colocación de dos contadores en cascada para poder generar las 20 líneas de la dirección; esto para cada uno de los buses de direcciones (interno y externo).

Para la operación apropiada de los contadores también fue necesario el uso de las compuertas lógicas para obtener los tiempos apropiados de funcionamiento de cada circuito integrado empleado en el sistema. A continuación se muestran los diagramas de conexión utilizados para los contadores y las señales que son enviadas a los dispositivos que controlan:

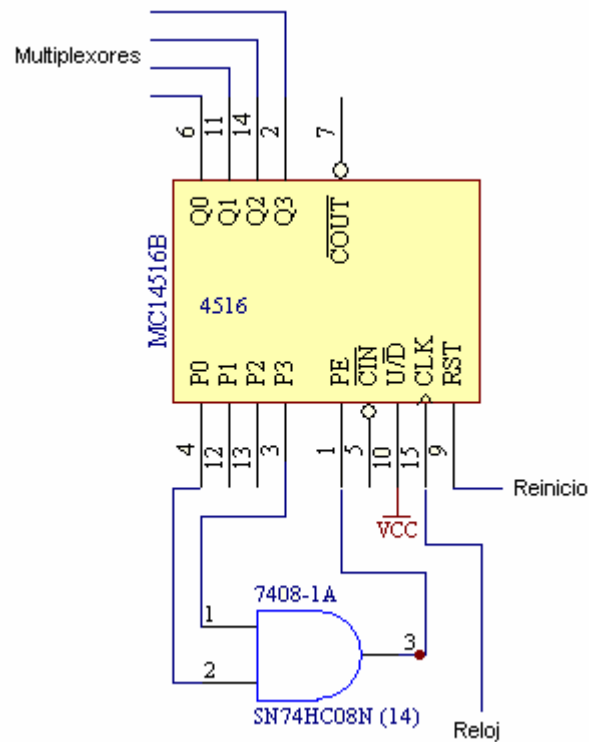


Figura 35 Conexión y configuración del contador binario prefijable.

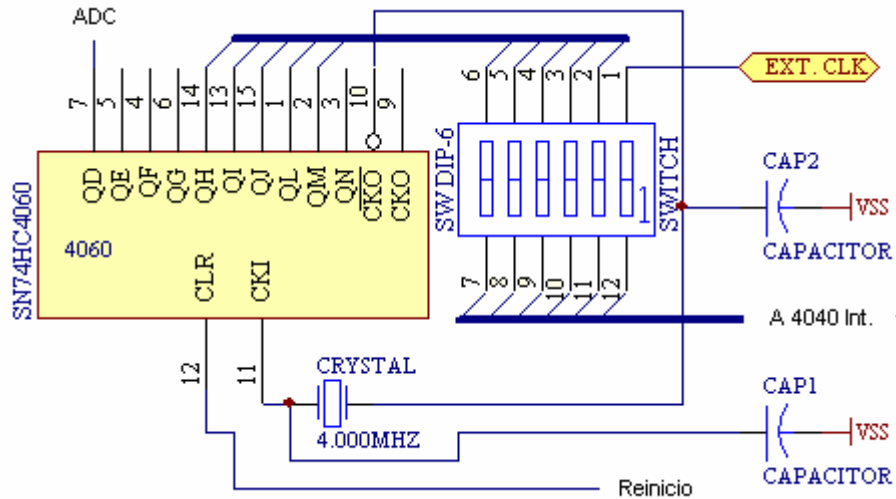


Figura 36 Conexión y configuración del contador-oscilador.

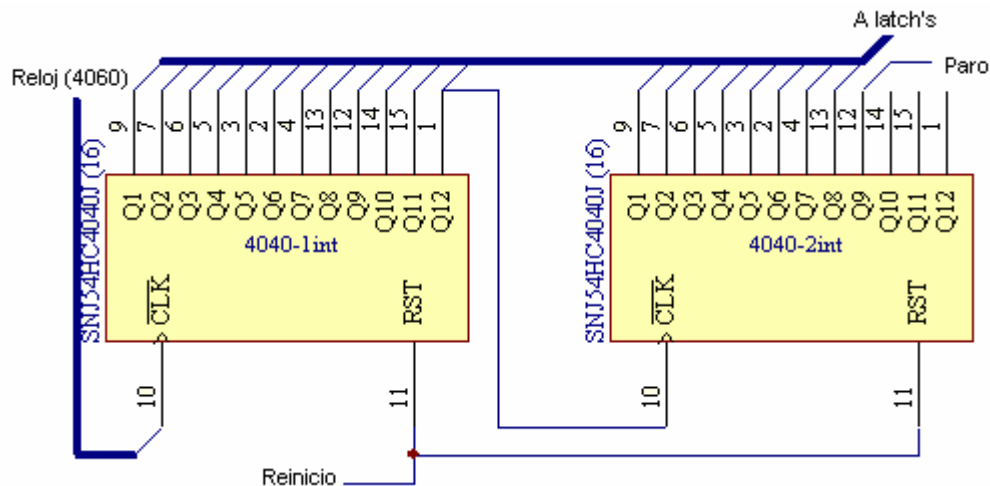


Figura 37 Conexión y configuración del contador binario de 12 etapas int.

Los otros dos contadores utilizados para la generación de direcciones del bus externo tienen casi la misma configuración, las diferencias son que la frecuencia de operación (reloj) y la señal de reinicio son suministradas por la interfaz (externamente).

Al momento de estarse ejecutando la lectura de la memoria, la frecuencia del reloj externo utilizado para la generación de las direcciones, también es enviada a el latch que se encuentra en la matriz para el despliegue de los datos, y la señal de reinicio (RST) externa se envía al 4516 para que la cuenta sea iniciada en la primera galga, así la cuenta es reiniciada en todo el sistema y se puede proceder a la correcta lectura y despliegue de los datos almacenados en la memoria.

En seguida se muestra el diagrama que lo ilustra:

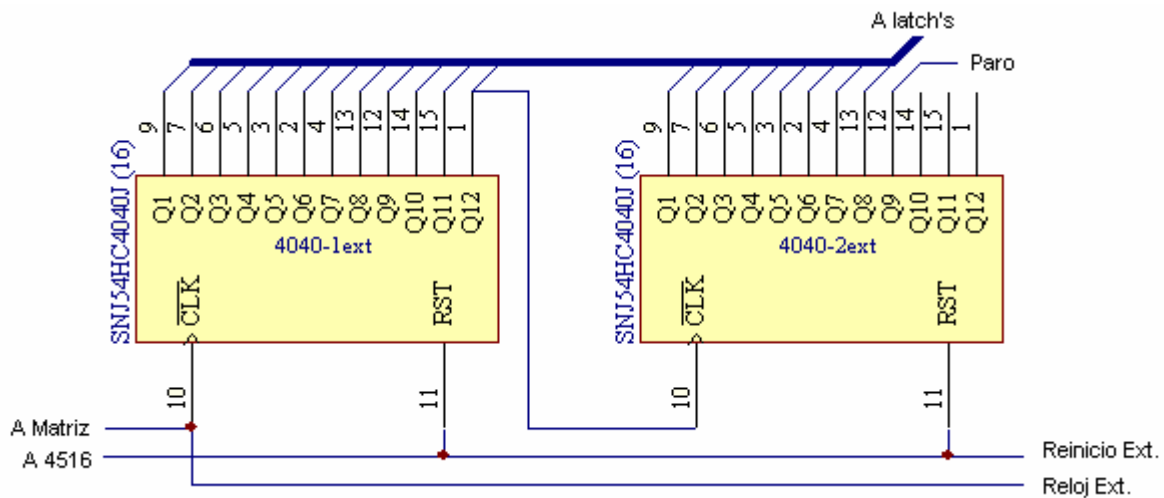


Figura 38 Conexión y configuración del contador binario de 12 etapas ext.