

4 EL PROCESADOR TMS320C50

4.1 Introducción

En este capítulo se presenta un breve resumen de la tarjeta DSK 'C5x que es de bajo costo, simple y permite realizar aplicaciones de procesamiento en tiempo real de señales usando el procesador digital de señales TMS320C50. Además, permite al usuario crear sus propios programas para correrlos en la tarjeta. Finalmente, se muestran las principales características del procesador anteriormente mencionado.

4.2 Arquitectura de la tarjeta DSK 'C50 (TMS320C50 DSP Starter Kit)

La tarjeta DSK 'C5x contiene los dispositivos que se mencionan a continuación [14]:

- El procesador digital de señales de punto fijo TMS320C50.
- Una memoria PROM (Programmable Read Only Memory) de 32k.
- Un circuito de interfase analógica (Analog Interface Circuit) TLC32040.
- Dos conectores RCA para entrada y salida analógica.
- Conector emulador XDS510.

En la Figura 4-1 se muestra el esquema general de la tarjeta DSK 'C50. La comunicación con la computadora se realiza mediante el puerto serial RS232, la PROM contiene el programa kernel que almacena el código de inicio, el circuito de interfase analógica TLC32040 comunica con el puerto serial del TMS320C50 y los conectores RCA permiten una entrada analógica y salida de la tarjeta [14].

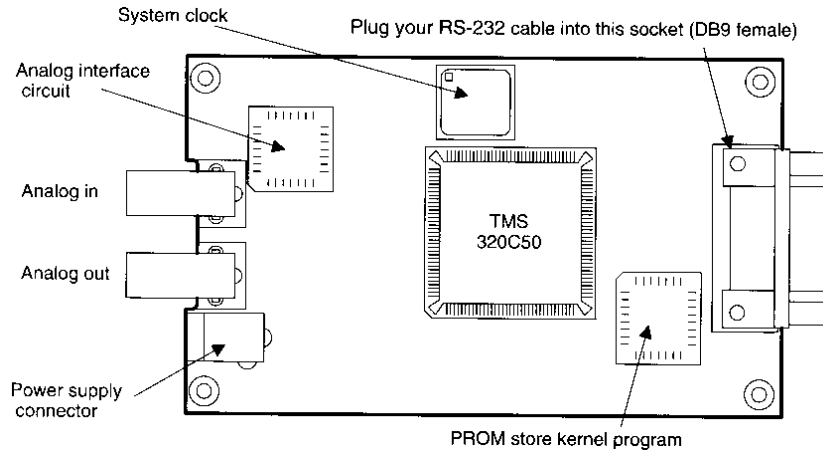


Figura 4-1 Esquema general de la tarjeta DSK 'C50

La tarjeta DSK 'C5x es una de las más sencillas para aplicaciones con el TMS320C50. Aunque no cuenta con memoria externa disponible, tiene 10k de RAM interna suficiente para aplicaciones de procesamiento digital de señales. La PROM es utilizada únicamente para la inicialización de la tarjeta y no se tiene acceso a ella una vez que se cargó. El programa kernel está contenido en los 32K, 8 bits de PROM [14].

Se cuenta con una RAM de acceso doble (DARAM, Dual-Access, Random-Access-Memory) y con una RAM de acceso sencillo (SARAM, Single Access, Random-Access-Memory). La DARAM B2 está reservada como buffer para los registros de estado. La SARAM está configurada como memoria de programa y datos. El programa kernel está almacenado en SARAM de 0x840h-0x980h. Los vectores de interrupción están colocados a partir de la dirección 0X800h. La distribución de memoria en la tarjeta se muestra en la Figura 4-2 [14].

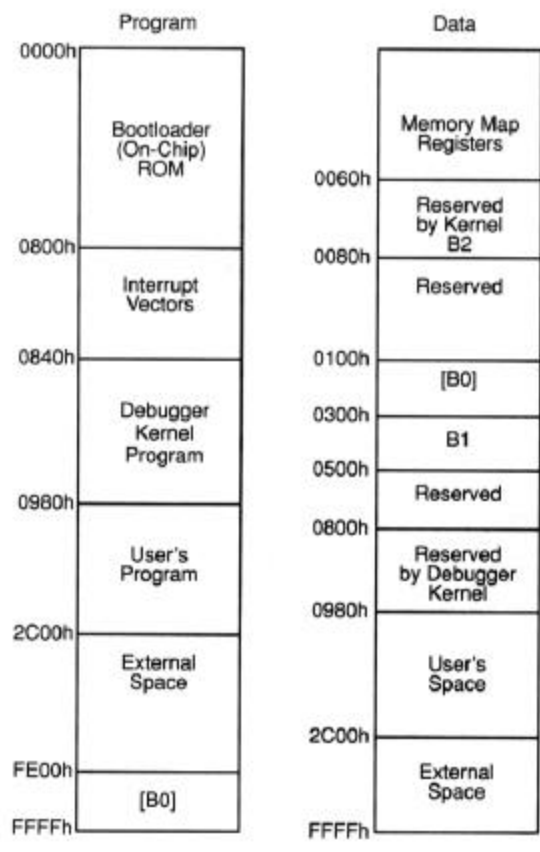


Figura 4-2 Distribución de la memoria en la tarjeta DSK 'C50

La tarjeta DSK 'C50 cuenta con su propio debugger que es una interfase que ayuda a depurar programas y a correrlos en la tarjeta DSK.

4.3 Descripción del procesador TMS320C50

La familia de procesadores digitales de señales TMS320 de Texas Instruments está diseñada para soportar un amplio rango de aplicaciones de procesamiento digital de señales ya que combinan la flexibilidad de un controlador de alta velocidad con la capacidad numérica de un arreglo procesador.

La familia TMS320C50 consiste de seis generaciones: 'C1x, 'C2x, 'C3x, 'C4x, 'C5x y 'C6x.

El TMS320C50 está fabricado con la tecnología de circuito integrado CMOS. La arquitectura en la cual se basa el 'C50 es en la arquitectura Harvard (buses separados para memoria de datos y memoria de programa) con lo que se logra mayor velocidad. El TMS320C50 está diseñado para ejecutar más de 28 MIPS (millones de instrucciones por segundo) [15].

Las características del 'C50 se listan a continuación [15]:

- Ciclo de instrucción de 35-/50 ns.
- Operación de memoria basada en RAM.
- 9K x 16 bits de RAM
- 2K x 16 bits de ROM
- 1056 x 16 bits de RAM de acceso dual
- 224K x 16 bits de espacio de memoria externa máxima direccionable (64k de programa, 64K de datos, 64K E/S y 32K global)
- Unidad Aritmética lógica (ALU) de 32 bits, acumulador (ACC) de 32 bits y acumulador de buffer (ACCB) de 32 bits.
- Unidad lógica paralela (PLU) de 32 bits.
- Multiplicador paralelo de 16 x 16 bits con capacidad de producto de 32 bits.
- Instrucciones de multiplicación y acumulación en un solo ciclo.
- Ocho registros auxiliares con una unidad aritmética dedicada para direccionamiento indirecto.

- Pila de ocho niveles.
- Puerto serial full-duplex síncrono para comunicación directa entre el 'C50 y otro dispositivo serial.
- Puerto serial de acceso múltiple por división de tiempo (TDM).
- Puertos paralelos de E/S de 64K, de los cuales 16 están mapeados en memoria
- generador de reloj interno.
- Tecnología CMOS con dos modos de apagado.

4.4 Arquitectura del TMS320C50

El TMS320C50 consiste de tres segmentos básicos:

- Unidad Central de Procesamiento (CPU).
- Memoria.
- Circuitos periféricos.

4.4.1 Unidad Central de Procesamiento

El 'C50 trabaja con una aritmética de complemento a dos usando la unidad aritmética lógica (ALU) de 32 bits y el acumulador. La ALU es una unidad aritmética de propósito general que usa palabras de 16 bits tomadas de memoria de datos, derivadas de instrucciones inmediatas o que son el resultado del multiplicador; además, es capaz de realizar operaciones booleanas. El acumulador almacena la salida de la ALU y también es la segunda entrada a la ALU. El acumulador tiene una longitud de 32 bits y se divide en dos partes, la alta (del bit 31 al 16) y la baja (bit 15 al 0) [15].

Además de la ALU, el procesador cuenta con la Unidad Lógica Paralela (PLU) que efectúa operaciones lógicas de datos sin afectar el contenido del acumulador.

El multiplicador realiza la multiplicación en complemento a dos de 16 x 16 bits con un resultado de 32 bits en un ciclo de instrucción. El multiplicador está compuesto por los siguientes elementos:

- Arreglo multiplicador.
- Registro de producto (PREG): almacena el producto de 32 bits.
- Registro temporal (TREG0): consta de 16 bits, almacena temporalmente el multiplicando.

Los valores del multiplicador son tomados de la memoria de datos o de programa dependiendo de la instrucción.

El registro de corrimiento tiene una entrada de 16 bits conectada al bus de datos y una salida de 32 bits conectada a la ALU. Con este registro se producen desplazamientos hacia la izquierda de 0 a 16 bits sobre el dato de entrada según se defina en la instrucción o en el TREG1 (registro de 5 bits).

Cuenta con una pila de ocho niveles que guarda los contenidos del contador de programa durante las interrupciones y llamadas a subrutinas. El diagrama a bloques de la arquitectura del procesador de señales TMS320C50 se muestra en la Figura 4-3 [15].

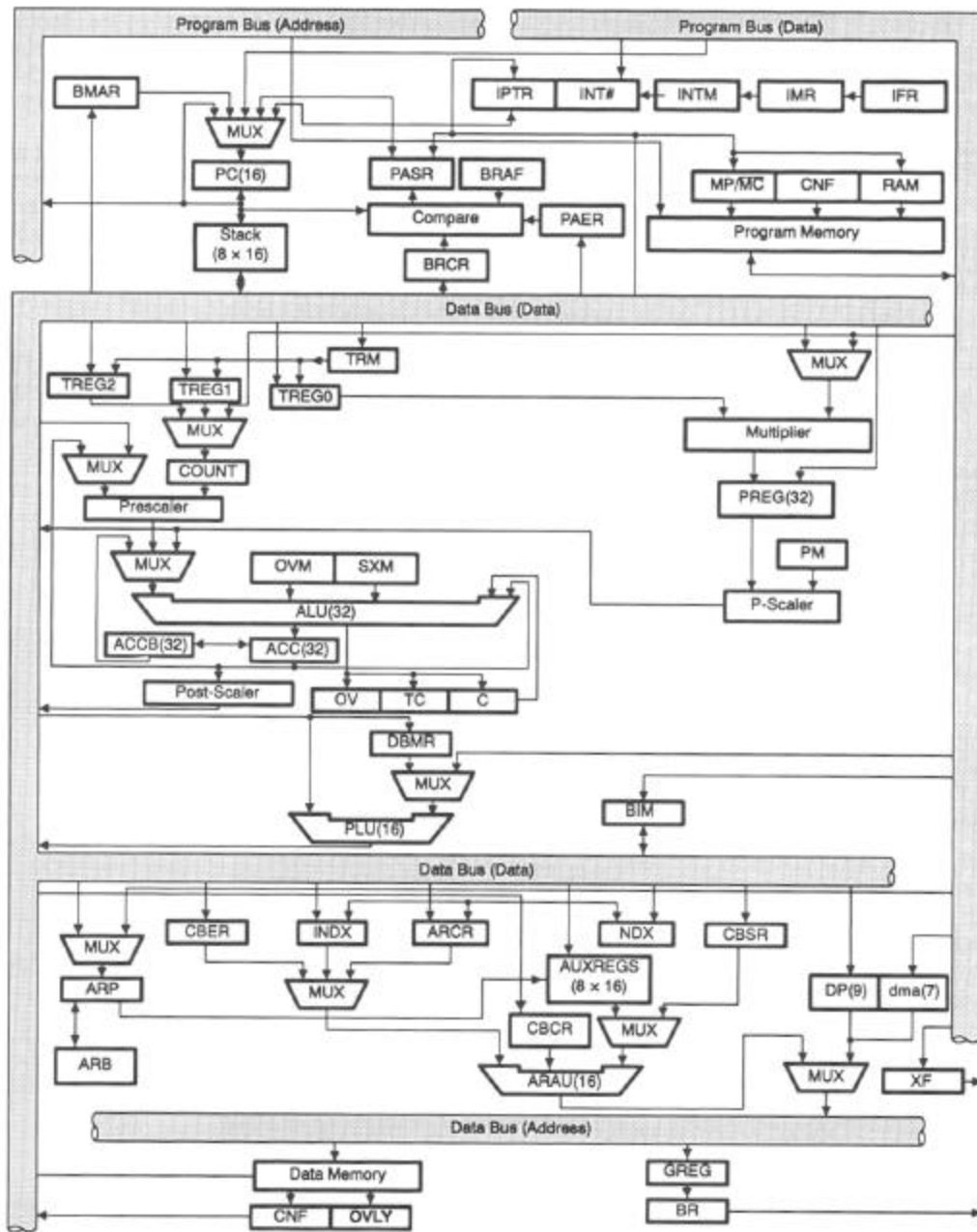


Figura 4-3 Diagrama a bloques del TMS320C50

El procesador cuenta con el bus de datos y con el bus de programa. El primero interconecta varios elementos como la Unidad Aritmética Lógica Central (CALU) y los registros auxiliares a la memoria de datos. El bus de programa lleva el código de

instrucción y operandos inmediatos de la memoria de programa. Los buses de datos y programa pueden llevar información de memoria de datos y memoria interna o externa al multiplicador en un ciclo para operaciones de multiplicación/acumulación. El procesador TMS320C5x tiene un alto grado de paralelismo, esto es, que mientras los datos son operados por la CALU, las operaciones aritméticas también son ejecutadas en la Unidad Aritmética de Registro Auxiliar (ARAU) con lo que se logra un conjunto de instrucciones aritméticas, lógicas y de manipulación de bit que pueden ser efectuadas en un ciclo de máquina[15].

4.4.2 Memoria

El 'C5x está basado en la arquitectura Harvard lo cual permite que la memoria pueda ser accesada simultáneamente en un ciclo de reloj. El procesador cuenta con tres buses paralelos que son el bus de programa de lectura/escritura (PAB), el bus de lectura de datos (DAB1) y el bus de escritura de datos (DAB2); cada uno de estos buses accesan diferentes espacios de memoria [15]. La memoria del 'C5x está organizada en los siguientes cuatro segmentos específicos:

- 64K de programa
- 64K de datos locales
- 32K de datos globales
- 64K de los puertos de E/S

Los espacios de memoria anteriores resultan en un rango de direcciones de 224K- palabras de 16 bits.

El segmento de memoria de programa contiene las instrucciones a ser ejecutadas. El segmento de datos locales almacena los datos a ser usados por las instrucciones. El espacio de memoria global sirve para aplicaciones de multiprocesamiento; es decir, se pueden compartir datos con otros procesadores o puede servir como espacio adicional de datos. Finalmente, el espacio de memoria de los puertos de E/S sirve como interfaz a periféricos externos mapeados en memoria (los periféricos usados típicamente en aplicaciones de procesamiento digital de señales son codecs, convertidores A/D y D/A, entre otros) y también sirve para almacenar datos.[15].

En la Figura 4-4 se presenta la distribución de memoria en el 'C50 [15].

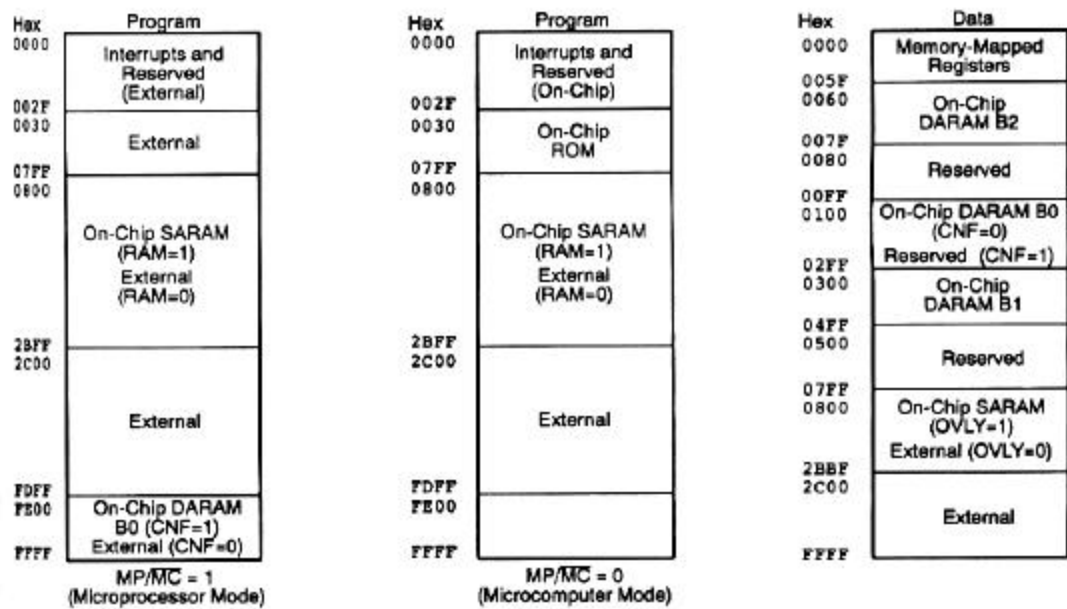


Figura 4-4 Organización de la memoria en el 'C50

Los procesadores de la familia 'C5x incluyen una considerable cantidad de memoria interna que ayuda al desarrollo e integración del sistema. El 'C50 incluye 2K-palabras de ROM, 9K-palabras de SARAM que pueden ser mapeados en memoria de programa y/o

datos en la dirección 0800h, 1056 palabras de DARAM de datos. La ROM reside en el espacio de memoria de programa en la dirección 0 y contiene un verificador del sistema (para uso interno) y un código de arranque. La SARAM requiere un ciclo completo para leer o escribir, mientras que la DARAM puede leer y escribir en un mismo ciclo.

Las 1056 palabras de DARAM están organizadas en tres bloques:

- Bloque 0 de 512 palabras en la dirección 0100h-02FFh de la memoria de datos locales o en la dirección 0FE00h-0FFFFh en memoria de programa.
- Bloque 1 (B1) de 512 palabras en la dirección 0300h-04FFh de la memoria de datos locales.
- Bloque 2 (B2) de 32 palabras en la dirección 060h de la memoria de datos locales.

4.4.3 Periféricos

Los circuitos periféricos son operados y controlados a través de registros de datos y control mapeados en memoria. El puerto serial y el temporizador son sincronizados con el procesador vía interrupciones. Los datos son transferidos hacia los periféricos y desde ellos usando registros de datos mapeados en memoria. Cuando un periférico no está en uso, sus relojes internos se apagan permitiendo así un consumo de potencia más bajo [15].

4.5 Modos de direccionamiento

El procesador 'C50 puede direccionar un total de 64K-palabras de memoria de programa y 96K-palabras de memoria de datos. Los datos usados como operandos de instrucción son obtenidos de una de las siguientes maneras [15]:

- Por el bus de dirección directa (DRB) usando el modo de direccionamiento directo relativo al apuntador de página (DP) de la memoria de datos (ADD 010h).
- Por el DRB usando el modo de direccionamiento de memoria mapeada en la página de datos cero.
- Por el bus de registro auxiliar (AFB) usando el modo de direccionamiento indirecto (ADD *).
- Por el registro de instrucción (IREG) en modo de operando inmediato corto (ADD #0FFh).
- Por el contador de programa (PC) en modo de operando inmediato largo (ADD #0FFFFh).
- Por el registro de dirección de bloque de memoria (BMAR) en modo de direccionamiento de bloque de memoria registrado (BLDD *+).

Existen seis modos de direccionamiento a memoria [15]:

- Modo de direccionamiento directo.
- Modo de direccionamiento indirecto.
- Modo de direccionamiento inmediato
- Modo de direccionamiento de registro dedicado.
- Modo de direccionamiento de registro mapeado en memoria.
- Modo de direccionamiento circular.

Los modos de direccionamiento directo e indirecto pueden ser usados para acceder la memoria de datos. En el **modo de direccionamiento directo** los 9 bits del DP apuntan a una de 512 páginas (1 página=128 palabras). La dirección de memoria de datos (dma),

especificada por los 7 bits menos significativos de la instrucción, apuntan a palabra deseada en la página. La dirección en el DRB se forma concatenando los 9 bits del DP con los 7 bits del dma. En la Figura 4-5 se ilustra el modo de direccionamiento directo [15].

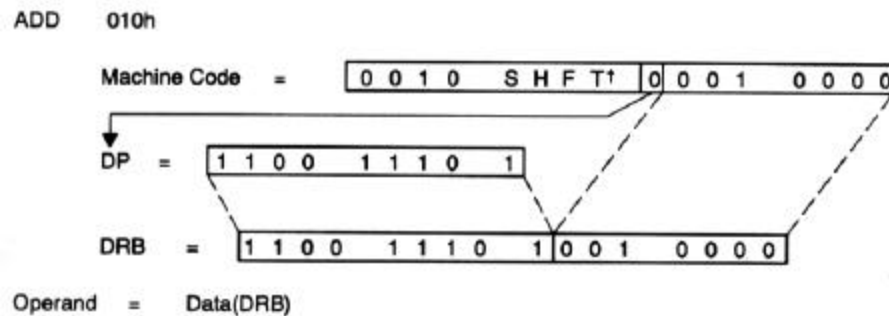


Figura 4-5 Modo de direccionamiento directo

En el **modo de direccionamiento indirecto** se accesa a la memoria de datos a través de uno de los 8 registros auxiliares (AR0-AR7). Para seleccionar el registro auxiliar específico, se carga el apuntador de registro auxiliar (ARP) con un valor de 0 a 7. En la Figura 4-6 se muestra el modo de direccionamiento indirecto [15].

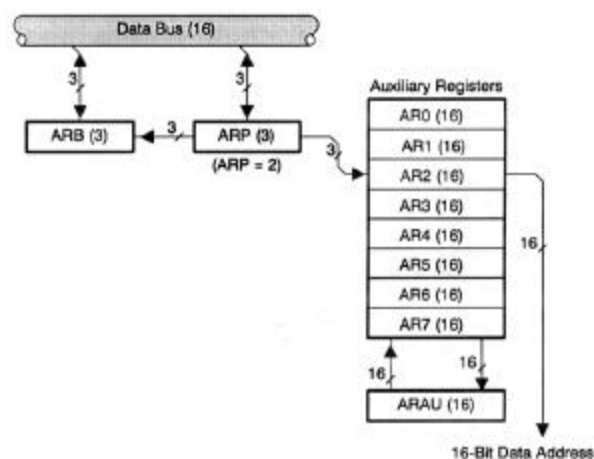


Figura 4-6 Modo de direccionamiento indirecto

Existen dos tipos de direccionamiento inmediato: el corto y el largo. En el **modo de direccionamiento inmediato corto** el operando inmediato (de 8/9/13 bits) está contenido en la instrucción; mientras que en el **modo de direccionamiento inmediato largo** la palabra siguiente a la instrucción es usada como operando. Lo anterior se ilustra en las Figuras 4-7 y 4-8 [15].

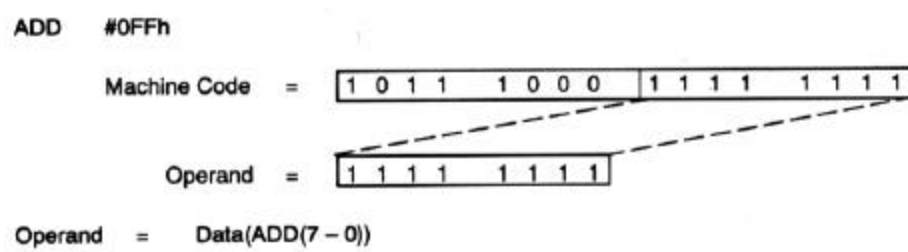


Figura 4-7 Modo de direccionamiento inmediato corto

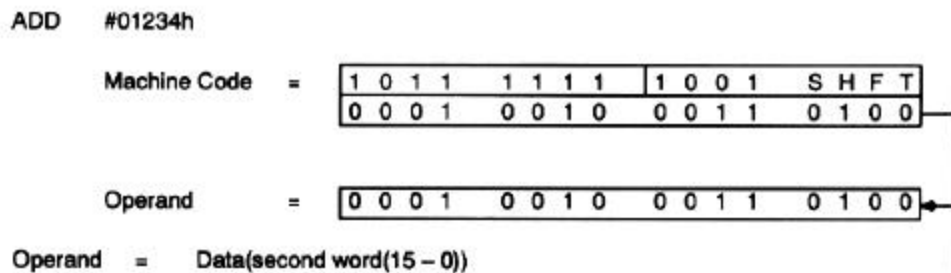


Figura 4-8 Modo de direccionamiento inmediato largo

El **modo de direccionamiento de registro dedicado** es usado por 9 instrucciones del 'C5x, las cuales usan dos registros de propósito especial mapeados en memoria, éstos son el BMAR (Block Move Address Register) que apunta a memoria de datos o programa y el DBMR (Dynamic Bit Manipulation Register) que contiene los operandos.

El **modo de direccionamiento de memoria mapeada** es similar al anterior, excepto que los 9 bits más significativos de la dirección se hacen cero en lugar de que sean cargados los contenidos del DP. Lo anterior permite al usuario acceder directamente los registros mapeados en memoria en la página cero sin necesidad de modificar el DP. Es usado para cargar y almacenar registros mapeados en memoria.

El **modo de direccionamiento circular** es un modo adicional del modo indirecto que automáticamente va al inicio de un bloque de datos cuando se llega al final de éste. Usado en algoritmos como la convolución, correlación y filtros FIR [15].

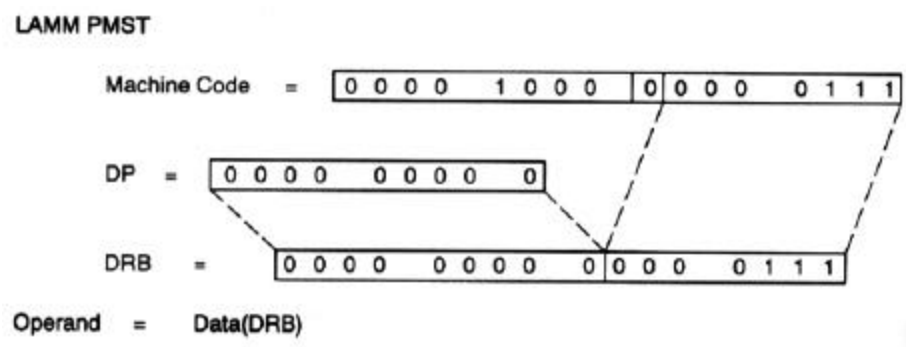


Figura 4-9 Modo de direccionamiento de memoria mapeada

4.6 Circuito de interfase analógica TLC32040

El circuito de interfase analógica (AIC) TLC32040 es un sistema completo de entrada/salida analógica-digital y digital-analógica en un chip monolítico CMOS. Este dispositivo integra los siguientes elementos [14]:

- Filtro pasabanda de entrada antialiasing de capacitor conmutado.
- Convertidor A/D de 14 bits de resolución.

- Cuatro modos de puerto serial compatibles con el microprocesador.
- Convertidor D/A de 14 bits de resolución.
- Filtro pasabajas de reconstrucción de salida de capacitor conmutado.

El TLC32040 diferentes frecuencias de conversión/muestreo, las cuales pueden ser modificadas mediante control digital.

El TLC32040 cuenta con dos conjuntos de entradas analógicas. Normalmente IN+ e IN- son usadas, mientras que AUX IN+ y AUX IN- pueden ser usadas como entrada secundaria si se requiere. En la Figura 4-10 se presenta el diagrama a bloques del AIC TLC32040 [14].

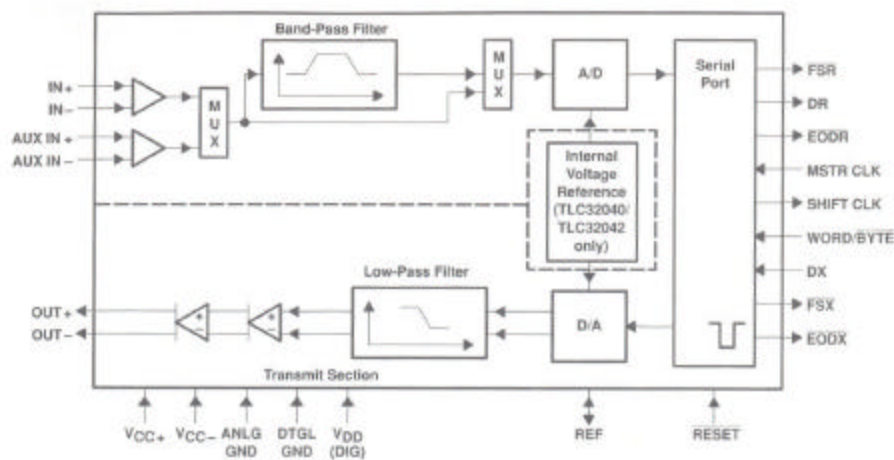


Figura 4-10 Diagrama a bloques del AIC TLC32040

La conversión D/A depende del valor del registro TA del contador A y del valor del registro TB del contador B; mientras que la conversión A/D depende del valor de los registros RA y RB. Los valores de TA y RA dependen del reloj maestro (MSTR CLK). Los

valores que pueden tomar los registros anteriormente mencionados dependiendo de la frecuencia deseada se muestran en la Figura 4-11. [14].

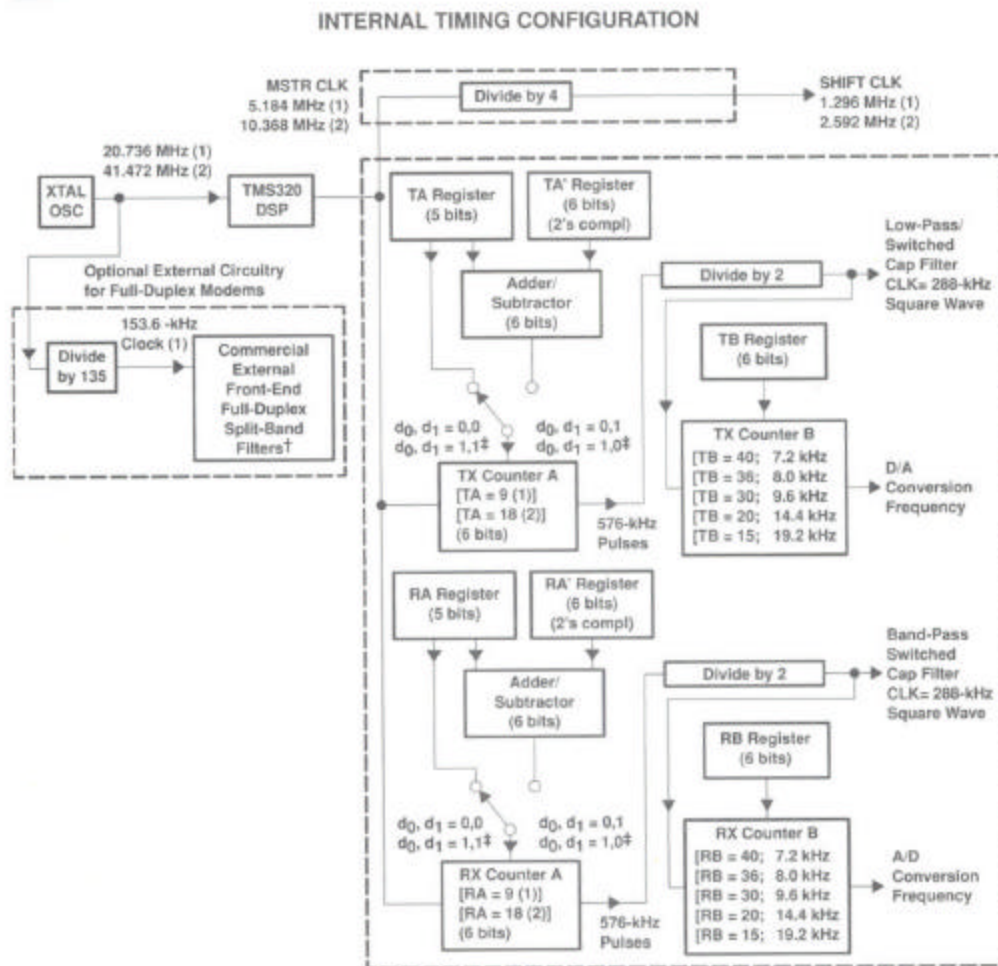


Figura 4-11 Configuración interna de reloj del AIC TLC32040

Como se observa en la Figura 4-11, la máxima frecuencia de muestreo de los convertidores es de 19.2 kHz. El tiempo de conversión de los convertidores A/D y D/A es de 50 μ s.