

4

Celdas compuestas en modo corriente

Las celdas compuestas en modo corriente, son aquellas que están formadas por al menos dos o más celdas básicas de bajo consumo de voltaje, como las propuestas en el Capítulo 3, y que son la base para realizar funciones u operaciones más complejas como se verá en el desarrollo de éste capítulo.

La selección de celdas básicas en modo corriente (bajo consumo de potencia), nos permite escalar el número de elementos básicos (transistores MOS) de nuestras topologías (celdas compuestas) y seguir obteniendo resultados óptimos y esperados, aún cuando el número de elementos involucrados sea grande y el voltaje de alimentación sea pequeño (1-3 Volts), sin degradar el rango dinámico éstas (0 – 30 μ A o más).

En este capítulo se analizan, optimizan y comprueban circuitos para realizar funciones de multiplicación/división y formas S-Z (ver sección 4.2), los cuales, en combinación con otras celdas básicas, se juntan para formar el circuito de funciones de membresía (MFC) propuesto en este trabajo; también se incluye un circuito detector de mínimos, el cual es empleado por el sistema de toma de decisiones que será presentado

en el Capítulo 5, para comprobar el correcto funcionamiento de todas las celdas propuestas a lo largo del capítulo tres y cuatro.

4.1. Multiplicador/Divisor

A la fecha hay varios trabajos reportados donde se hace uso de un circuito multiplicador y/o un circuito divisor [8]-[10], no obstante, sólo algunos de ellos cumplen con la función buscada, la cual tiene la forma:

$$I_o = \frac{I_x I_Y}{I_w} \quad (4.1)$$

donde I_x , I_Y e I_Z son corrientes de entrada.

El circuito presentado en [9] es descartado ya que éste trabaja en inversión débil restándole rango dinámico y velocidad a su desempeño. Las opciones [9] y [10] realizan ambas la función deseada modelada por la ecuación 4.1, y se basan en el principio translineal descrito en [7], el cual declara que la suma de voltajes compuerta-fuente (V_{GS}) de un lazo formado por transistores MOS es igual a cero. Para mayores detalles consultar la sección 3.3.

4.1.1. Implementación propuesta por Liu & Huang

En esta propuesta, se obtiene un bloque multiplicador en modo corriente que aprovecha las características cuadráticas del transistor MOS. Esto se logra al conectar en cascada un subcircuito que realiza la función raíz cuadrada con un subcircuito que eleva al cuadrado la señal, esta última proveniente del operador cuadrático como se muestran en las Figuras 4.1 (a) y 4.1 (b). El bloque que eleva la señal al cuadrado es aquel descrito en la sección 3.3 (celda translineal básica) pero por comodidad se repite su descripción en esta sección. A continuación se presenta un breve análisis de los subcircuitos que forman nuestra primera alternativa de estudio.

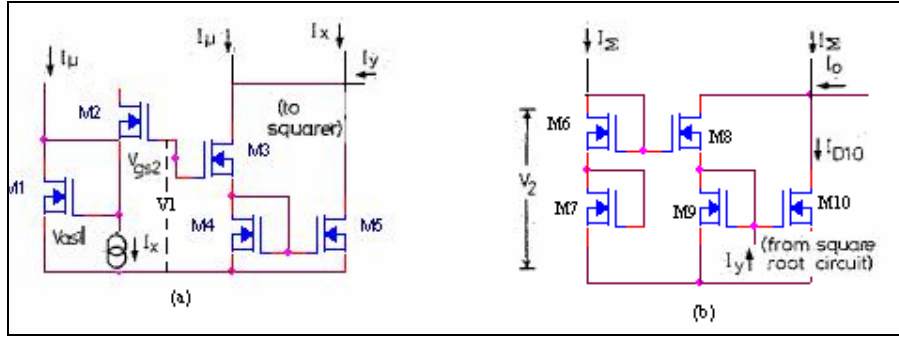


Figura 4.1. (a) Operador de Raíz Cuadrada;
(b) Operador cuadrático.

Operador de raíz cuadrada

En el circuito que calcula la raíz cuadrada de la Figura 4.1 (a), la corriente de drenaje de cualquier transistor MOS que está operando en la región de saturación se expresa por:

$$I_D = k(V_{gs} - V_t)^2 \quad (4.2)$$

donde ($K = \mu_0 C_{OX} W/2L$) es el parámetro de transconductancia, V_{gs} el voltaje de compuerta-fuente y V_t el voltaje de umbral. Si hacemos $K_1 = K_2 = K$ y además $K_3 = K_4 = K_5 = 2K$, podemos declarar lo siguiente:

$$V_1 = V_{gs1} + V_{gs2} \quad (4.3)$$

y

$$I_{D3} = I_{D4} = I_{D5} = 2k \left(\frac{V_1}{2} - V_t \right)^2 \quad (4.4)$$

y entonces la corriente del circuito raíz cuadrada tiene la forma:

$$I_y = I_{D3} + I_{D5} - I_\mu - I_x = 2\sqrt{I_\mu I_x} \quad (4.5)$$

que como podemos ver, esta es una expresión que calcula I_Y como la raíz cuadrada del producto de las corrientes I_μ e I_X .

Operador cuadrático

Si en el operador cuadrático mostrado en la Figura 4.1 (b) consideramos que los parámetros de transconductancia cumplen con las siguientes condiciones: $K_6=K_7=2K$ y $K_8=K_9=K_{10}=K$, entonces podemos establecer que:

$$V_3 = V_{gs6} + V_{gs7} \quad (4.6)$$

y además que:

$$I_{D10} = I_{D9} = k(V_{gs9} - V_t) \quad (4.7)$$

y por lo tanto:

$$I_o = I_{D8} + I_{D10} - I_\Sigma = \frac{I_y^2}{4I_\Sigma} \quad (4.8)$$

el resultado final deseado se obtiene sustituyendo la ecuación 4.5 en la ecuación 4.8, lo cual deriva en una expresión de la forma:

$$I_o = \frac{I_\mu I_x}{I_\Sigma} \quad (4.9)$$

lo cual confirma el resultado al que queríamos llegar de la forma de la ecuación 4.1. Los resultados fueron tomados de [8] donde se reporta un rango dinámico de $\pm 60 \mu A$ cuando la entrada es un escalón de 0 a $60 \mu A$, con un tiempo de respuesta de 90 ns. Los errores por no linealidad están dentro del 1% de la respuesta teórica esperada [8].

4.1.2. Circuito Multiplicador/Divisor cuadrático translineal

En esta sección se presenta la otra alternativa considerada, esta ofrece a su salida una respuesta similar a la ecuación 4.1 y presenta una topología muy atractiva compuesta por tres celdas básicas translineales como las descritas en la sección 3.3 y una resta de

corrientes. Esta última, es una operación más sencilla que la raíz cuadrada presentada en la alternativa dada en la Figura 4.1(a). La topología de esta opción se presenta en la Figura 4.2 y se describe a continuación.

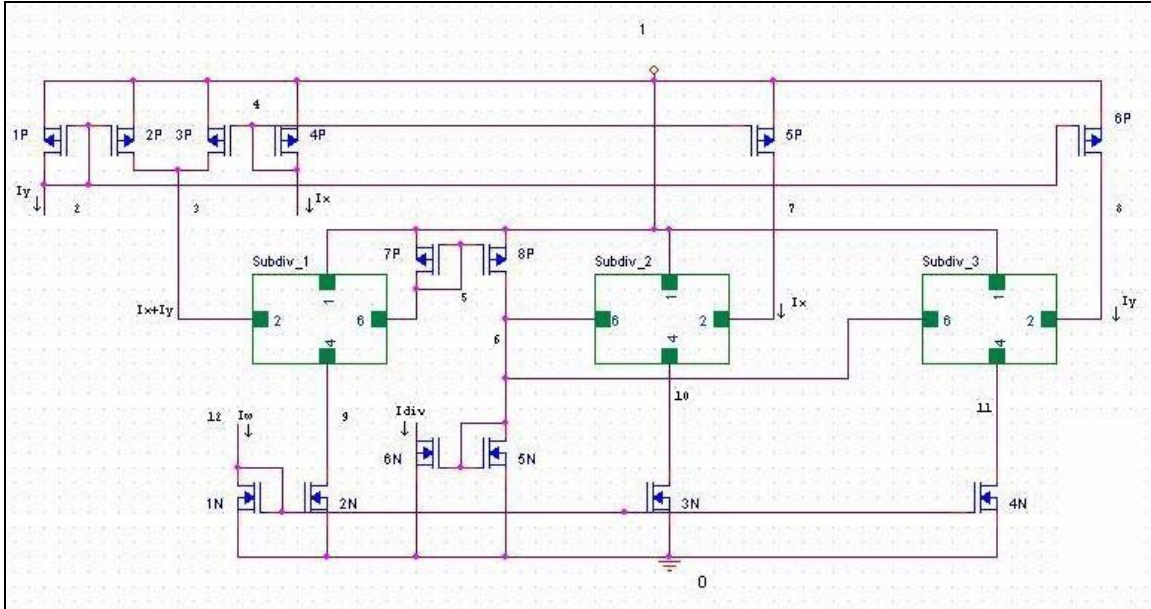


Figura 4.2. Multiplicador/Divisor Cuadrático Translineal.

El circuito de la Figura 4.2 tiene tres celdas cuadráticas translineales, con respuesta:

$$f = \frac{(x+y)^2}{4I_w} \quad g = \frac{x^2}{4I_w} \quad h = \frac{y^2}{4I_w} \quad (4.10)$$

donde x , y e I_w son corrientes de entrada (ver Figura 4.2).

La funciones de la ecuación 4.10 al restarse en el nodo 6 y escalar el resultado al doble en el espejo de salida (formado por 5N y 6N), obtenemos una respuesta de la forma de la ecuación 4.1 mostrada a continuación:

$$I_{DIV} = 2(f - g - h) = \frac{IxIy}{I_w} \quad (4.11)$$

La alternativa presentada es la elegida debido a que la resta realizada en el nodo 6 de la Figura 4.2, es más sencilla en comparación con la operación raíz cuadrada que realiza el circuito de la Figura 4.1 (a). Esta elección se hizo considerando que hay cierto grado de libertad en el área disponible para la implementación del circuito, así como la técnica de diseño analógico en modo corriente que nos permite escalar en tamaño nuestras celdas, sin degradar las cualidades buscadas en este trabajo en términos de potencia, velocidad, área y rango dinámico.

En una primera simulación del circuito multiplicador/divisor propuesto por Weixin y Seevinck de la Figura 4.2, todas las relaciones de las dimensiones de los transistores utilizados son unitarias ($W_N = 0.36\mu$, $L_N = 0.36\mu$, $W_P = 0.72\mu$ y $L_P = 0.72\mu$) excepto la relación para el transistor M_{6N} , la cual es una relación geométrica de 2. Como puede observarse en la Figura 4.3, existe un error extremadamente alto en la corriente de salida del circuito simulado. Este error se mantiene para diferentes condiciones de entrada.

Las relaciones unitarias en las dimensiones de los transistores M_{1N} , M_{2N} , M_{3N} , M_{4N} provocan un problema en el reflejo de la corriente I_w en el espejo formado por los transistores mencionados. Este error en el reflejo de I_w afecta directamente el funcionamiento de los subcircuitos que se encargan de realizar las funciones f, g y h aumentando el error existente en la señal de salida de cada uno de estos circuitos.

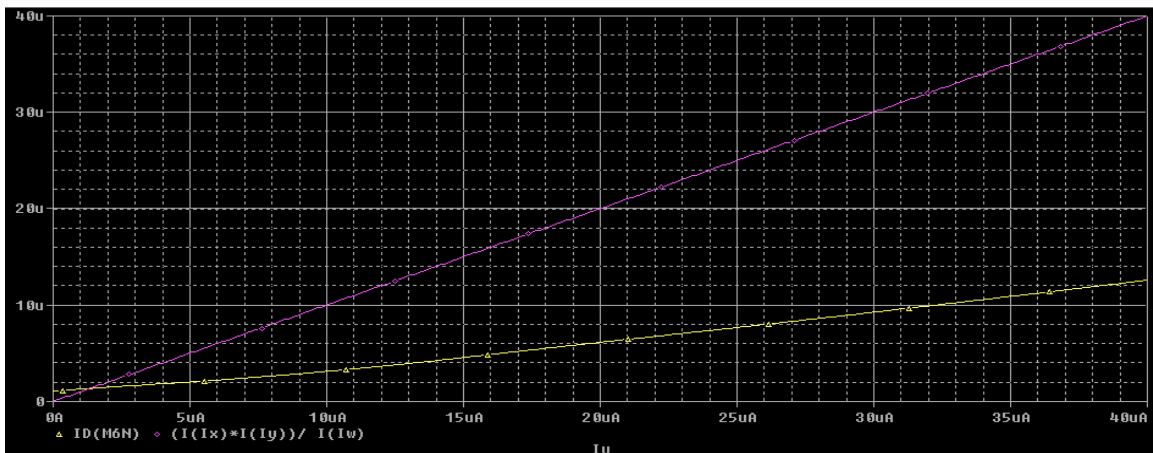


Figura 4.3. Respuesta multiplicador/divisor (M_{6N}) comparada con la teórica (gran error).

La Figura 4.3 muestra la respuesta a la simulación del circuito mostrado en la Figura 4.2 propuesta originalmente en [7]. Las condiciones de simulación fueron usando transistores MOS con $(W/L)_N = 0.36\mu/0.36\mu$ y $(W/L)_P = 0.72\mu/0.72\mu$, $I_X=I_W=10\mu A$ e $I_Y=[0-40]\mu A$. Los resultados obtenidos muestran que la respuesta del circuito (trazo amarillo) esta lejos de la respuesta esperada $I_X I_Y / I_W$ (trazo morado).

Para intentar corregir el error es necesario ajustar las dimensiones del espejo que refleja I_w de forma que no se registre esta caída en la corriente. Se consideró que era necesario ampliar el canal de los transistores ($W_{1N} = W_{2N} = W_{3N} = W_{4N}=3.6\mu$, $L_N=0.36\mu$) para eliminar el decremento en la caída de la corriente del espejo formado por los transistores mencionados.

Como se puede observar en la simulación de la Figura 4.4, la salida del circuito se aproxima mucho más a la salida teórica cuando se hacen estos cambios. Es posible ver que para el rango entre $3\mu A$ y $27\mu A$ las dos curvas son prácticamente iguales. No obstante, se tiene un error de aproximadamente $2.3\mu A$ en $I_y = 0\mu A$ y un error creciente a partir de los $27\mu A$ que llega a su máximo en $I_y = 40\mu A$ con un valor cercano a $5\mu A$.

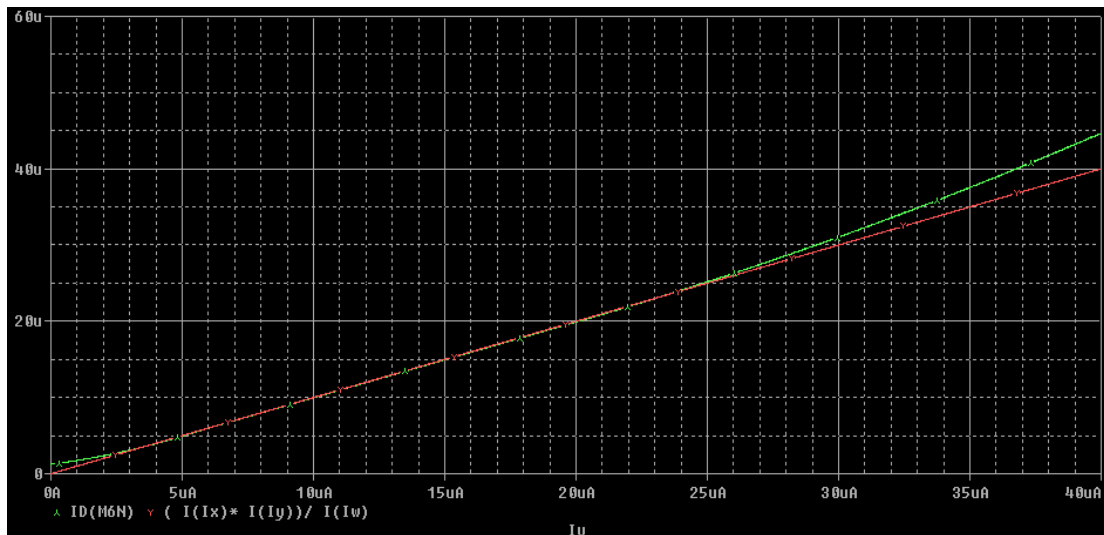


Figura 4.4. Respuesta multiplicador/divisor (M_{6N}) comparada con la teórica, al aumentar la relación de los espejos formados por M_{1N} , M_{2N} , M_{3N} y M_{4N} .

La Figura 4.4 fue simulada bajo las mismas condiciones que la Figura 4.3 pero las dimensiones de los transistores M_{1N} , M_{2N} , M_{3N} y M_{4N} se modificaron a $(W/L)_{1N} = (W/L)_{2N} = (W/L)_{3N} = (W/L)_{4N} = 3.6\mu/0.36\mu$ para evitar el error que se daba en el reflejo de I_w .

El siguiente paso será realizar las modificaciones pertinentes para eliminar el error al inicio y al final del barrido de la fuente I_y .

Se detectó que el error se debe a la resta que se realiza en el nodo 6 de la Figura 4.2 por una descompensación entre las cargas entrantes y salientes de dicho nodo. Una solución se obtiene realizando la operación a través del circuito restador estudiado en la sección 3.5.1, que nos permite manejar las entradas involucradas en la substracción (funciones f , g y h) a través de los espejos de entrada del subcircuito restador, que cuentan con las mismas impedancias de entrada. Por lo anterior son necesarios unos espejos adicionales a la salida de las celdas que implementan las funciones g y h para direccionar su corriente a la entrada del subcircuito restador mencionado como se muestra en la Figura 4.5.

Todas las modificaciones listadas en esta sección, se presentan gráficamente en la Figura 4.5 y los resultados de la simulación que se obtienen de ésta, pueden ser observados en las Figuras 4.6 y 4.7 bajo diferentes condiciones de operación.

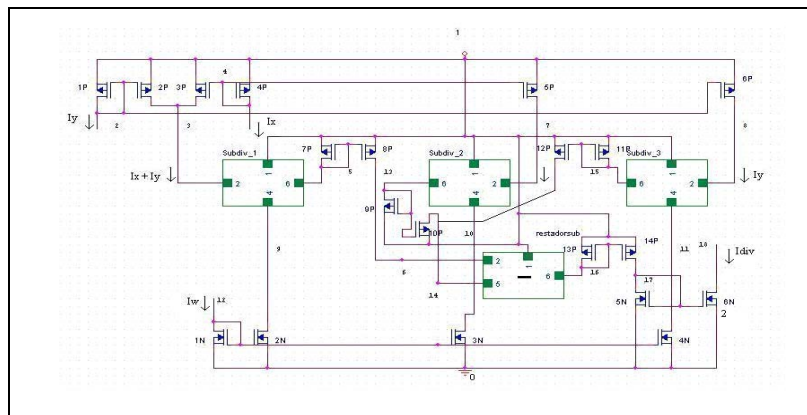


Figura 4.5. Esquemático final del subcircuito multiplicador/divisor.

La Figura 4.6 y 4.7, fueron simuladas usando una fuente de voltaje en el nodo 1 de 3 y 1 volt, respectivamente. Ambas simulaciones fueron hechas con $I_X=I_W=10 \mu\text{A}$ e $I_Y= [0-180] \mu\text{A}$ para la Figura 4.6, y con $I_Y= [0-60] \mu\text{A}$ para la Figura 4.7.

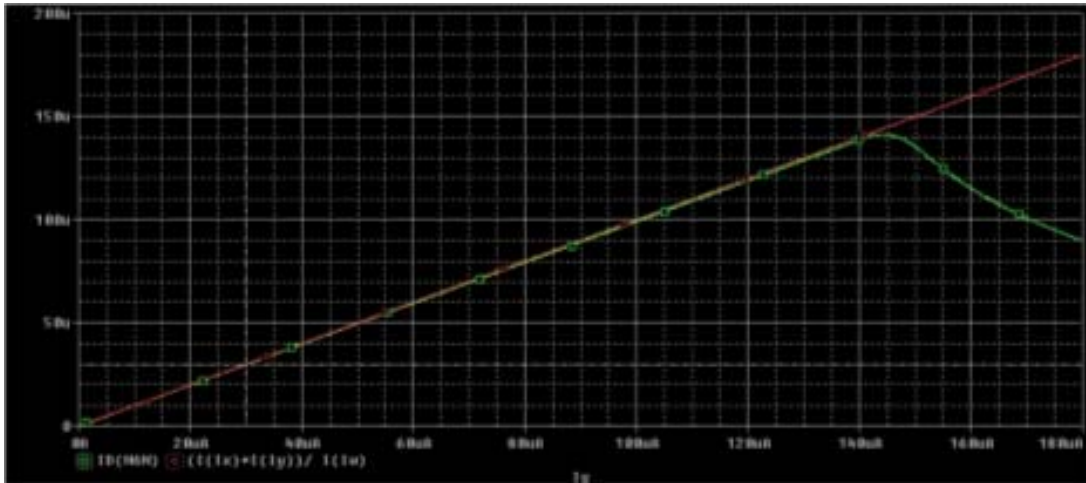


Figura 4.6. Respuesta final multiplicador/divisor (M_{6N}) comparada con la teórica, rango dinámico mayor a $140 \mu\text{A}$ con 3V en el nodo 1.



Figura 4.7. Respuesta final multiplicador/divisor (M_{6N}) comparada con la teórica, rango dinámico mayor a $30 \mu\text{A}$ con 1V en el nodo 1.

La Figura 4.8 muestra el listado utilizado para la simulación del subcircuito multiplicador/divisor de la Figura 4.5. La simulación fue hecha usando el modelo del transistor MOS, la celda translineal básica y el subcircuito restador reportados en este trabajo.

Las dimensiones de los transistores usados pueden ser identificadas directamente de la Figura 4.8, y los subcircuitos utilizados para su simulación están marcados como un comentario, para especificar mejor las condiciones bajo las cuales se hizo la simulación.

Se aprecia un rango dinámico mayor a los 140 μA para la Figura 4.6 y uno mayor a los 30 μA para la Figura 4.7 con un error casi nulo dentro de los rangos mencionados.

```

* Current Divider proposed by WEIXIN & SEEVINCK
* Electronics Letters 8/5/97, Vol. 33, # 10

* Output from M6N
*.subckt divider Vcc Iy Ix Iw Iout

.subckt muldivsub 1 2 4 12 18

M1P 2 2 1 1 modp W=.35u L=.35u
M2P 3 2 1 1 modp W=.35u L=.35u
M3P 3 4 1 1 modp W=.35u L=.35u
M4P 4 4 1 1 modp W=.35u L=.35u
M5P 7 4 1 1 modp W=.35u L=.35u
M6P 8 2 1 1 modp W=.35u L=.35u
M7P 5 5 1 1 modp W=.35u L=.35u
M8P 6 5 1 1 modp W=.35u L=.35u

M1N 12 12 0 0 modn W=.35u L=.35u
M2N 9 12 0 0 modn W=.35u L=.35u
M3N 10 12 0 0 modn W=.35u L=.35u
M4N 11 12 0 0 modn W=.35u L=.35u

*espejos salidas g y h
M9GP 13 13 1 1 modp W=.72u L=.72u
M10GP 14 13 1 1 modp W=.72u L=.72u
M11HP 15 15 1 1 modp W=.35u L=.35u
M12HP 14 15 1 1 modp W=.35u L=.35u

* Espejo a la salida del restador
M13P 16 16 1 1 modp W=.72u L=.72u
M14P 17 16 1 1 modp W=.72u L=.72u

* Espejo N, cambio direccion corriente salida
M5N 17 17 0 0 modn W=.35u L=.35u
M6N 18 17 0 0 modn W=.72u L=.35u

* Entradas a circuitos de subdiv
Xf 1 5 3 9 subdivx
Xg 1 13 7 10 subdivx
Xh 1 15 8 11 subdivx

*Entrada al restador
Xr 1 6 14 16 restadorsub

*.lib C:\Librerias\Restador\restadorsub.cir
*.lib C:\Librerias\Subdiv\mosis0_18u.lib
*.lib C:\Librerias\Subdiv\subdivx.cir

.ends muldivsub

```

Figura 4.8. Archivo de Simulación para el subcircuito multiplicador/divisor de la Figura 4.3.

4.2. Formas S-Z (Celda común con [24])

El circuito presentado a continuación es la celda difusa básica de funciones de membresía [4]; esta celda entrega a su salida corrientes o funciones S y Z dependiendo de los parámetros I_1 e I_2 a su entrada. Para la implementación del circuito se considera el comportamiento lineal que tienen las funciones S y Z descrito en [4], como se puede apreciar en la Figura 4.9.

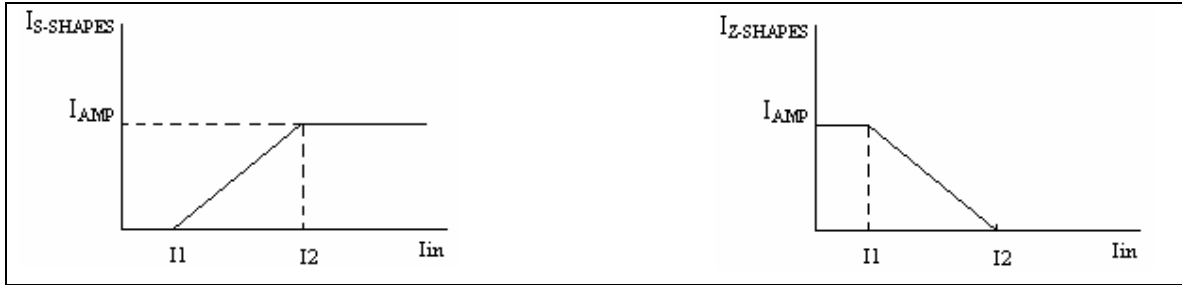


Figura 4.9. Función S (Izquierda) y Z (Derecha) con vértices dependientes de I1 e I2.

A lo largo de esta sección se optimiza el circuito propuesto en [4] operando en modo corriente, haciéndolo ideal para aplicaciones de bajo voltaje y área reducida. Otras de las cualidades que tiene esta propuesta es la programación en tiempo real a cargo de los parámetros de entrada I_1 e I_2 , entregando las corrientes S y Z (ver Figura 4.9) correspondiente a estos parámetros.

Los modelos que describen las formas S-Z ilustradas en la Figura 4.9 se describen a continuación [4]:

$$f(x)_{Z-SHAPES} = \begin{cases} Amp \left(1 - \frac{x-a}{b-a} \right), & a < x \leq b \\ 0, & x > b \end{cases} \quad (4.12)$$

$$f(x)_{S-SHAPES} = \begin{cases} Amp - Amp \left(1 - \frac{x-a}{b-a} \right), & a < x \leq b \\ Amp, & x > b \end{cases} \quad (4.13)$$

para $x < a$ la función formas S es igual con 0 y la función Z es igual a Amp, donde 'x' corresponde a la corriente de entrada I_{in} , 'a' es la corriente I_1 y 'b' la corriente I_2 , que como se ve en la Figura 4.9, definen la posición de los vértices de las formas S-Z, para una explicación más detallada refiérase al trabajo presentado en [4].

El modelo descrito por las ecuaciones 4.12 y 4.13, puede ser implementado por el circuito mostrado en la Figura 4.10, que a su vez, es el punto de partida para su optimización. Los errores más graves encontrados, se debían a la diferencia de voltajes

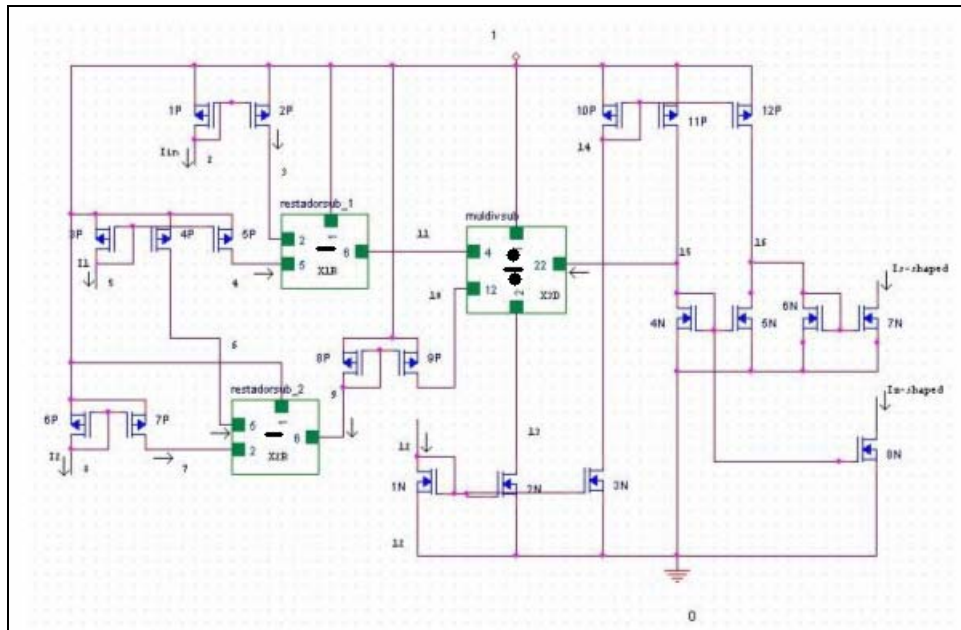


Figura 4.10. Circuito formas SZ.

entre los nodos de entrada y de salida de los transistores involucrados en las restas realizadas en los nodos 15 y 16 de la Figura 4.10, ocasionando, pérdidas graves en el resultado de las operaciones en dichos nodos.

El Archivo de Simulación para el circuito formas S-Z de la Figura 4.10, usa transistores mosis de 0.18 u con $W_N=0.36$ u, $L_N=0.36$ u, $W_P=0.72$ u y $L_P=0.72$ u. La respuesta en la Figura 4.11 muestra que la salida del subcircuito multiplicador/divisor tiene un error en su salida a partir de aproximadamente $I_{in} = 20 \mu A$.

La Figura 4.11 muestra el error que hay a la salida del subcircuito multiplicador/divisor simulado bajo las condiciones ilustradas por la Figura 4.10, con entradas $I_1=10 \mu A$, $I_2=25 \mu A$, $I_{AMP}=35 \mu A$ e $I_{IN} = [0-45] \mu A$. Se observa la pérdida de rango dinámico del subcircuito multiplicador/divisor de la Figura 4.5. debido al desacoplamiento de cargas que ocasionan los espejos que tiene conectados a su salida (ver Figura 4.10).

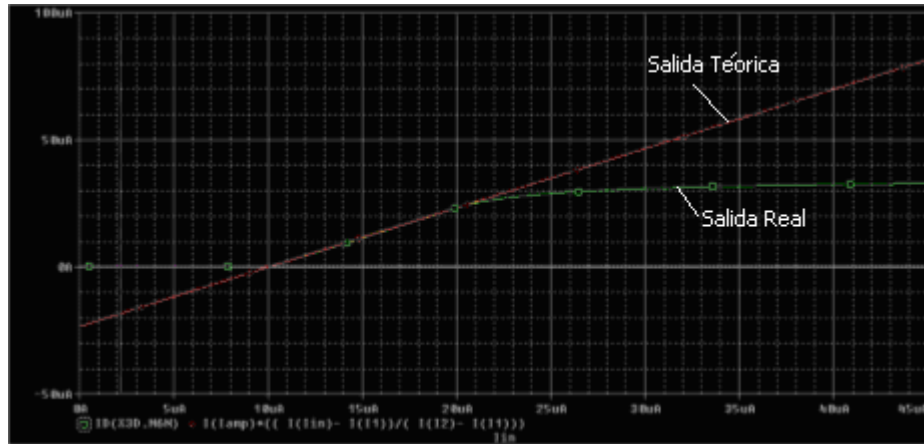


Figura 4.11. Error en la Salida del Subcircuito Multiplicador/Divisor.

Desconectando la salida del subcircuito multiplicador-divisor (ver Figura 4.10) de los espejos conectados formados por los transistores $M_{4N} \dots M_{8N}$, nos damos cuenta que el error en las salidas S y Z se genera desde la salida del multiplicador-divisor.

Los datos tomados del archivo de salida de simulación del circuito de la Figura 4.10, nos permiten observar que M_{11P} representa una carga muy grande para $X_{3D}.M_{6N}$, siendo este último, el transistor de salida del subcircuito multiplicador/divisor. Dicho datos se presentan a continuación.

Tabla 4.1. Caída de voltajes de los transistores de la resta formada en el nodo 15 de la Figura 4.10.

Transistor	Vds	Vdsat
M_{4N}	3.71E-01	3.70E-01
M_{11P}	-4.63E+00	-3.72E-01
$X_{3D}.M_{6N}$	3.71E-01	2.58E-02

En los datos de la Tabla 4.1 se puede apreciar que la mayor parte del voltaje cae en V_{ds11P} , dejando sólo lo necesario para que M_{4N} y $X_{3D}.M_{6N}$ se saturen; de la misma forma, M_{12P} consume casi todo el voltaje disponible (5V), en este caso, más gravemente, ya que

Tabla 4.2. Caída de voltajes de los transistores de la resta formada en el nodo 15 de la Figura 4.10.

Transistor	Vds	Vdsat
M _{5N}	1.30E-02	3.70E-01
M _{12P}	-4.99E+00	-3.72E-01

el transistor M_{5N} no obtiene el suficiente voltaje para entrar en la región de saturación, como se aprecia en los datos presentados en la Tabla 4.2.

El circuito final en la Figura 4.13, muestra una forma de acoplar la salida del subcircuito multiplicador/divisor y las diferencias hechas con 11P-4N y 12P-5N de la Figura 4.10, costando un gran aumento en la estructura del circuito.

Si no conectamos el restadorsub_4 que marca la Figura 4.13 conservando la forma propuesta en la Figura 4.10, y la salida del restadorsub_3, la conectamos a 11P y 4N para hacer la diferencia marcada en el nodo 15 del circuito formas S-Z (ver Figura 4.10), se genera un pequeño error en el reflejo de 4N a 5N, como se puede apreciar en la Figura 4.12, afectando las siguientes etapas de operación del circuito.

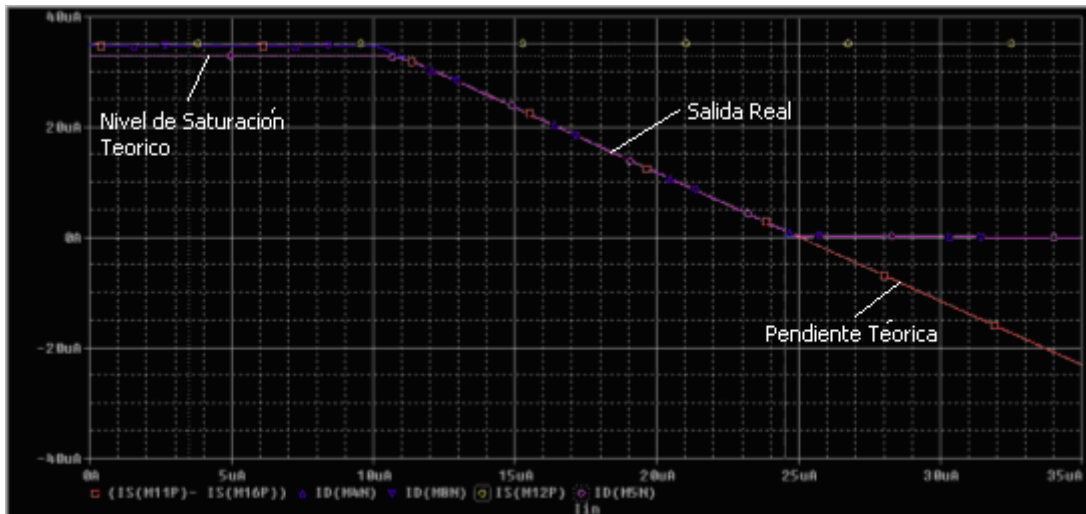


Figura 4.12. Error en el elemento M5N.

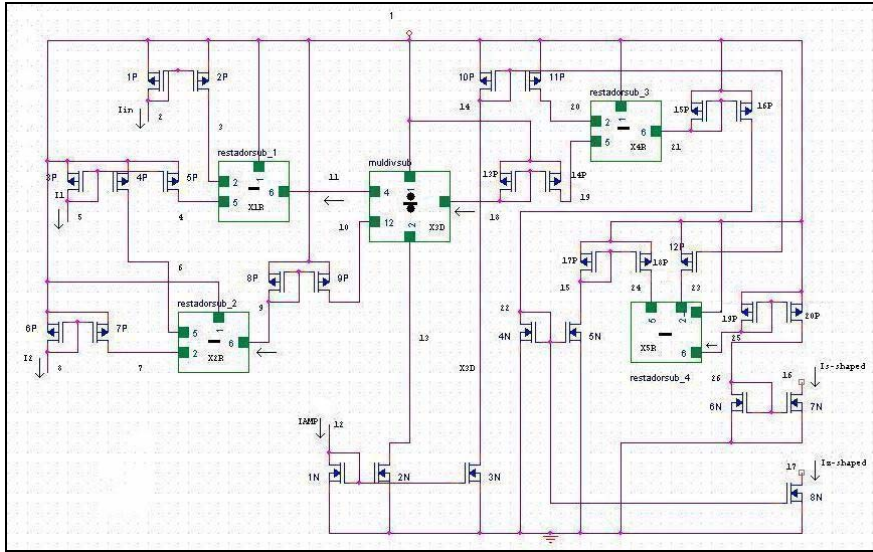


Figura 4.13. Circuito Formas-SZ propuesto.

La Figura 4.12 muestra un pequeño error que se da en el reflejo de la corriente del transistor M_{4N} al M_{5N} , con las mismas condiciones para las entradas usadas en la simulación de la Figura 4.11. La simulación fue hecha implementando el subcircuito `restadorsub_3` que marca la Figura 4.13, dejando la resta del nodo 16 tal como lo marca la Figura 4.10, buscando una reducción de la estructura presentada en la Figura 4.13, no siendo posible, a causa de los resultados mostrados en esta gráfica.

Evitando las restas de corrientes entrantes y salientes a un nodo, como se propone en la Figura 4.13, y con esto, la diferencia de impedancias de los elementos involucrados en la operación, las salidas S y Z tienen el mínimo error obtenido como puede verse en la Figura 4.14.

La simulación de la Figura 4.14 correspondiente al circuito formas S-Z propuesto de la Figura 4.13, se simuló usando una fuente de voltaje de 3 Volts en el nodo 1, dos fuentes de corriente con valores $I_1=10 \mu A$ e $I_2=25 \mu A$ los cuales son equivalentes a los parámetros 'a' y 'b', que definen los vértices de las formas SZ, como se modela en las ecuaciones 4.12 y 4.13, por último, el valor de saturación usado Amp es de $I_{AMP}=35 \mu A$.

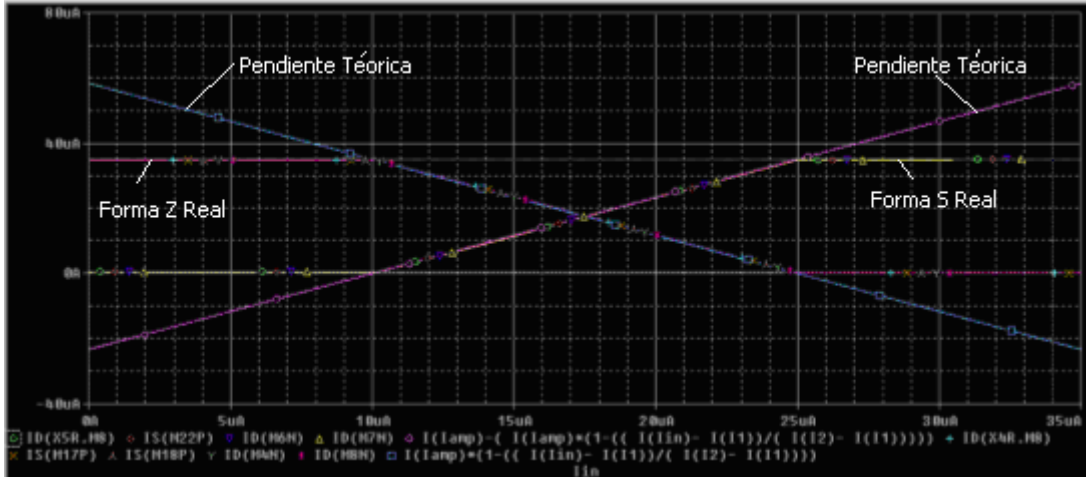


Figura 4.14. Funciones S y Z con error mínimo propuesto en la Figura 4.13.

La Figura 4.15 muestra el listado utilizado para la simulación del subcircuito formas S-Z de la Figura 4.13. La simulación fue hecha usando el modelo del transistor MOS, la celda translineal básica, el subcircuito restador y el subcircuito multiplicador/divisor propuestos en este escrito.

```

Circuito generador de formas S y Z
*Salida tomada de M8N(2) y M7N(3)
*.subckt sssub Vdd Iin I1 I2 Iamp S Z
.subckt sssub 1 2 5 8 12 16 17
*Espejo P entrada 2 del restador 1 (Iin)
M1P 2 2 1 1 modp W=.72u L=.72u
M2P 3 2 1 1 modp W=.72u L=.72u
*Entrada I1
M3P 5 5 1 1 modp W=.72u L=.72u
*Espejos P de entrada 5 del restador 2 (I1)
M4P 6 5 1 1 modp W=.72u L=.72u
*Espejos P de entrada 5 del restador 1 (I1)
M5P 4 5 1 1 modp W=.72u L=.72u
* Entrada I2
M6P 8 8 1 1 modp W=.72u L=.72u
*Espejos P de entrada 2 del restador 2 (I2)
M7P 7 8 1 1 modp W=.72u L=.72u
*Entrada I2-I1
M8P 9 9 1 1 modp W=.72u L=.72u
*Espejo que refleja I2-I1 a la entrada I2 del multiplicador divisor (Iw)
M9P 10 9 1 1 modp W=.72u L=.72u
*Reflejo de Iamp a M11P
M10P 14 14 1 1 modp W=.36u L=.36u
*Reflejo de Iamp a M12P
M11P 20 14 1 1 modp W=.36u L=.36u
M12P 23 14 1 1 modp W=.36u L=.36u
*Entrada Iamp
M1N 12 12 0 0 modn W=.36u L=.36u
*Espejo que refleja Iamp a la entrada 2 del multiplicador divisor (Iy)
M2N 13 12 0 0 modn W=.36u L=.36u
*Reflejo de Iamp a M10P
M3N 14 12 0 0 modn W=.36u L=.36u
*Iamp(1 - [(Iin-I1)/(I2-I1)])
M4N 22 22 0 0 modn W=.36u L=.36u
*Salida Z
M8N 17 22 0 0 modn W=.36u L=.36u
*Reflejo de Iamp(1 - [(Iin-I1)/(I2-I1)])
M5N 15 22 0 0 modn W=.36u L=.36u
*Espejo de salida del restador 3
M15P 21 21 1 1 modp W=.72u L=.72u
M16P 22 21 1 1 modp W=.72u L=.72u
*Espejo compensacion salida muldiv
M13P 18 18 1 1 modp W=.72u L=.72u
M14P 19 18 1 1 modp W=.72u L=.72u
*Espejo P para invertir la direccion de la corriente y hacer la Resta 4
M17P 15 15 1 1 modp W=.72u L=.72u
M18P 24 15 1 1 modp W=.72u L=.72u
*Espejo de salida restador 4 (XSR)
M19P 25 25 1 1 modp W=.72u L=.72u
M20P 26 25 1 1 modp W=.72u L=.72u
*Espejo cambio de direccion de corriente proveniente del restador 4
M6N 26 26 0 0 modn W=.32u L=.32u
*Salida S
M7N 16 26 0 0 modn W=.32u L=.32u
*Subcircuitos
*Subcircuito Restador 1
X1R 1 3 4 11 restadorsub
*Subcircuito Restador 2
X2R 1 7 6 9 restadorsub
*Subcircuito multiplicador divisor
X3D 1 13 11 10 18 muldivsub
*Subcircuito Restador 3
X4R 1 20 19 21 restadorsub
*subckt restadorsub Vdd I1 I2 Iout
XSR 1 23 24 25 restadorsub
.ends sssub

```

Figura 4.15. Archivo de Simulación para el subcircuito formas SZ de la Figura 4.11.

Los subcircuitos declarados en el archivo de simulación de la Figura 4.15 como X4R y X5R, corresponden a los subcircuitos restadorsub_3 y restadorsub_4 respectivamente, las dimensiones de los transistores pueden ser apreciados directamente del listado de simulación.

4.3. Circuitos para funciones de membresía (MFC) (Celda común con [24])

Existen varios métodos para generar funciones de membresía trapezoidales. Varios autores han reportado sus diseños en diversas publicaciones ([17]-[21]). Algunos de estos diseños, como ([17]-[19]), presentan estructuras muy sencillas y área de implementación reducida en relación con el resto de los diseños, no obstante, la poca programabilidad que ofrecen los ponen en desventaja contra las opciones [20] y [21].

El trabajo presentado en [20] ofrece la programabilidad deseada pero es implementado en tecnología BiCMOS. El diseño presentado en [21] es el más parecido a la opción seleccionada en este trabajo. La opción seleccionada tiene la ventaja que genera funciones de membresía trapezoidales y triangulares con el mismo circuito.

Otra cualidad que resalta radica en la posibilidad que ofrece de generar funciones de membresía triangulares y trapezoidales (TMF) asimétricas, a partir de los cuatro parámetros que definen la forma de las TMF como se muestra en la Figura 4.16.

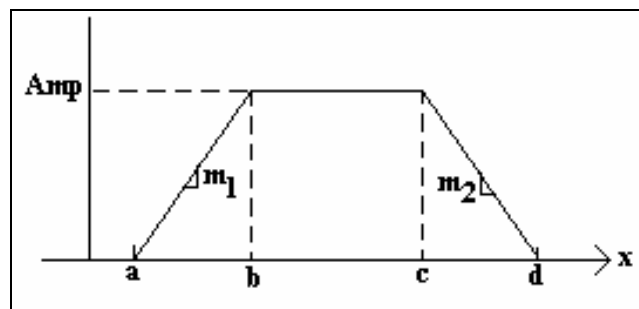


Figura 4.16. Función de membresía trapezoidal donde se pueden apreciar los cuatro parámetros que definen su estructura así como la máxima magnitud a cargo de Amp.

La versatilidad y alta programabilidad que ofrece el circuito generador de funciones de membresía (MFC) propuesto en [4], nos da argumentos para decidir continuar con su estudio y buscar mejorar su desempeño. Como en este caso, la TMF se obtiene a partir de la resta de una función S_1 con otra función S_2 como lo muestra la Figura 4.17. El circuito se forma básicamente de dos subcircuitos generadores de formas S-Z, estudiados en la sección 4.2 en combinación con un subcircuito restador. El método es explicado con detalle en el trabajo expuesto en [4] y es modelado por la siguiente expresión:

$$I_{TMF} = \left[I_{AMP} - I_{AMP} \left[1 - \frac{I_{in} - I_a}{I_b - I_a} \right] \right] - \left[I_{AMP} - I_{AMP} \left[1 - \frac{I_{in} - I_c}{I_d - I_c} \right] \right] \quad (4.14)$$

Cada parámetro de la ecuación 4.14 puede ser identificado de la Figura 4.17. Cabe mencionar que todos los subcircuitos ilustrados en la Figura 4.17 (b) excepto el último restador de la derecha corresponden al subcircuito formas S-Z presentado en la sección anterior.

La Figura 4.17 (b) esta compuesta por bloques que ya han sido estudiados y optimizados, y por lo tanto, se asume que los posibles errores en la generación de la TMF se deben a defectos en la generación de funciones S y de la resta de ellas. No obstante, los circuitos que realizan estas funciones tienen un desempeño eficiente, por lo que se esperó resultados aceptables en la generación de la TMF sin tener que realizar modificaciones

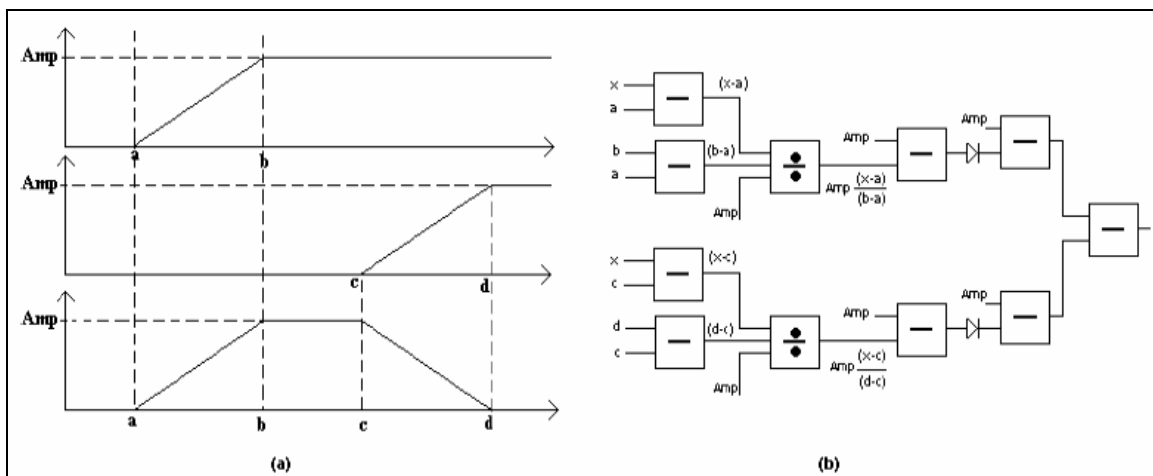


Figura 4.17. Implementación Trapezoidal (a) Substracción gráfica (b) Diagrama de bloques.

adicionales al circuito de la Figura 4.18, propuesto en [4] para la implementación de funciones de membresía trapezoidales y triangulares.

Otro punto a favor de esta propuesta, radica en que es capaz de entregar funciones de membresía asimétricas y programables en tiempo real, permitiendo variar las pendientes de forma independiente. La función de membresía triangular es un caso especial de la trapezoidal al igualar los parámetros b y c.

En la Figura 4.18 se muestra el esquemático del circuito que realiza la función de membresía trapezoidal.

Con el objetivo de mostrar la programabilidad del MFC, se simuló usando los subcircuitos de formas S-Z y restador con los siguientes parámetros: $I_a=2\mu\text{A}$, $I_b=8\mu\text{A}$, $I_c=23\mu\text{A}$, $I_d=28\mu\text{A}$ e $I_{AMP}=10\mu\text{A}$, con transistores $(W/L)_N=0.36\mu/0.36\mu$ y $(W/L)_P=0.72\mu/0.72\mu$. Los resultados se aprecian en la Figura 4.19.

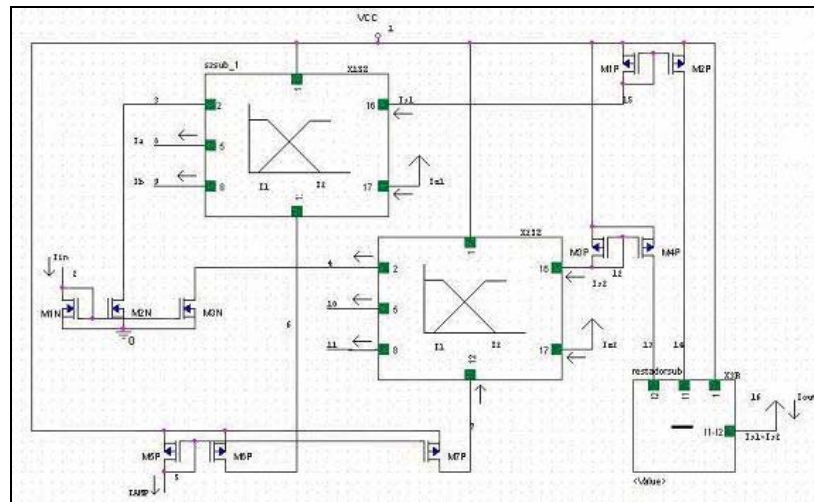


Figura 4.18. Circuito que genera funciones de membresía S, Z, trapezoidales y triangulares simétricas y asimétricas (MFC).

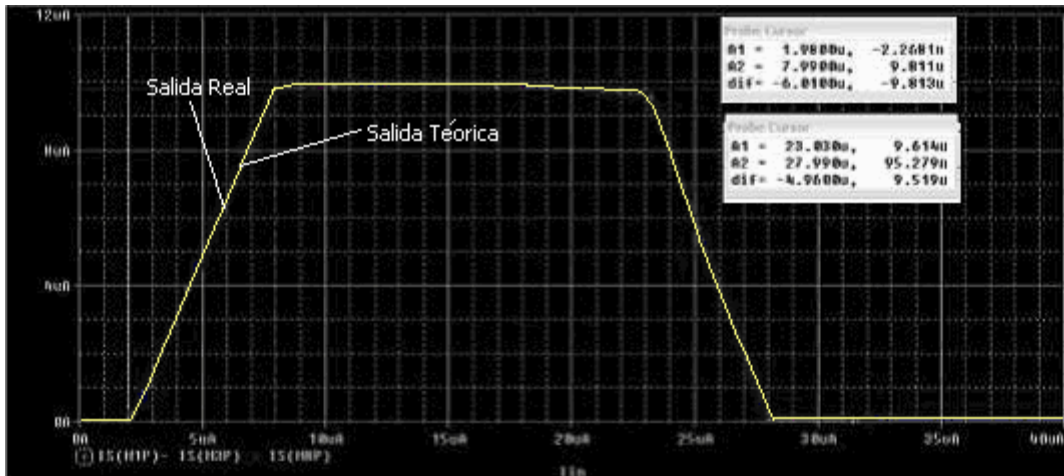


Figura 4.19. Función Trapezoidal Asimétrica.

En la Figura 4.19 se muestra una función trapezoidal asimétrica que como puede verse, la función vale 0 hasta llegar a $2 \mu\text{A}$. A partir de este punto la pendiente de la función aumenta hasta saturarse en aproximadamente $8 \mu\text{A}$. En este punto la función debe valer $10 \mu\text{A}$, pero en su lugar la función alcanza $9.811 \mu\text{A}$ por lo que existe un error de $0.19 \mu\text{A}$. Posteriormente, a partir de $23 \mu\text{A}$ la función empieza a decrecer linealmente hasta alcanzar un valor de $0 \mu\text{A}$ en $28 \mu\text{A}$. El error que existe en las zonas donde la función debería valer 0 se desprecia debido a que se encuentra en el orden de nanoamperes.

Los parámetros usados para la simulación de la función de membresía Trapezoidal simétrica de la Figura 4.20 fueron: $I_a=10\mu\text{A}$, $I_b=15\mu\text{A}$, $I_c=25\mu\text{A}$, $I_d=30\mu\text{A}$ e $I_{\text{AMP}}=10\mu\text{A}$, con transistores $(W/L)_N=0.36\text{u}/0.36\text{u}$ y $(W/L)_P=0.72\text{u}/0.72\text{u}$.

En este ejemplo es posible ver como la función vale prácticamente 0 entre 0 y $10 \mu\text{A}$. A partir de este punto sube linealmente hasta saturarse en $15 \mu\text{A}$ a un valor de $9.81 \mu\text{A}$. La función oscila entre $9.59 \mu\text{A}$ y $9.84 \mu\text{A}$ en el rango de los $15 \mu\text{A}$ a los $25 \mu\text{A}$, aunque en realidad en este rango la función debería valer $10 \mu\text{A}$ constantes. Por esta razón el error oscila entre $0.16 \mu\text{A}$ y $0.41 \mu\text{A}$. En $25 \mu\text{A}$ la función vuelve a bajar linealmente hasta alcanzar su valor nulo en $30 \mu\text{A}$.

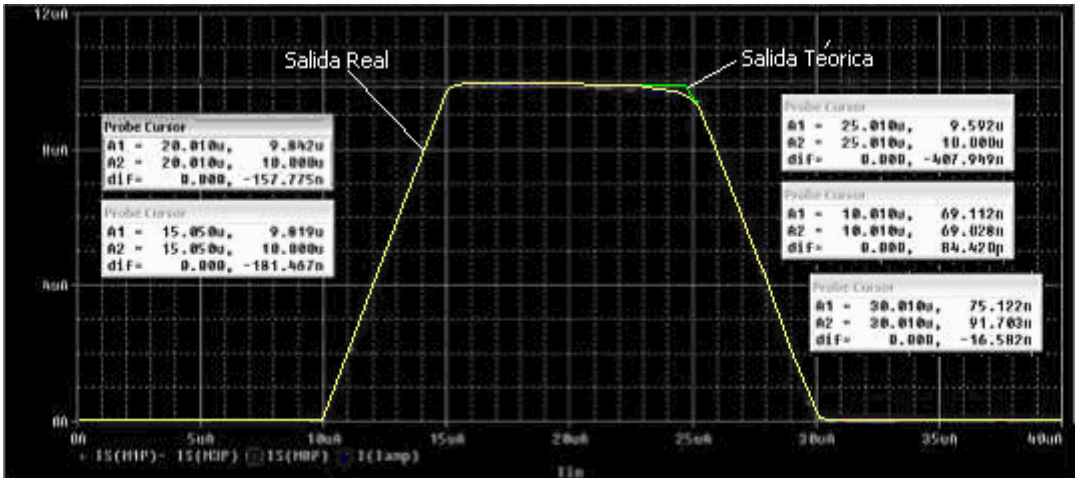


Figura 4.20. Función Trapezoidal Simétrica.

Para la función triangular simétrica de la Figura 4.21, los parámetros usados para fueron: $I_a=10 \mu A$, $I_b=20 \mu A$, $I_c=20 \mu A$, $I_d=30 \mu A$ e $I_{AMP}=10 \mu A$, con transistores $(W/L)_N=0.36\mu/0.36 \mu$ y $(W/L)_P=0.72 \mu/0.72 \mu$.

Como puede apreciarse, la función mantiene un valor constante nulo entre 0 y 10 μA . En este punto su valor aumenta hasta llegar a los 9.754 μA para posteriormente comienzan a descender hasta valer 0 nuevamente cuando se llega a los 30 μA .

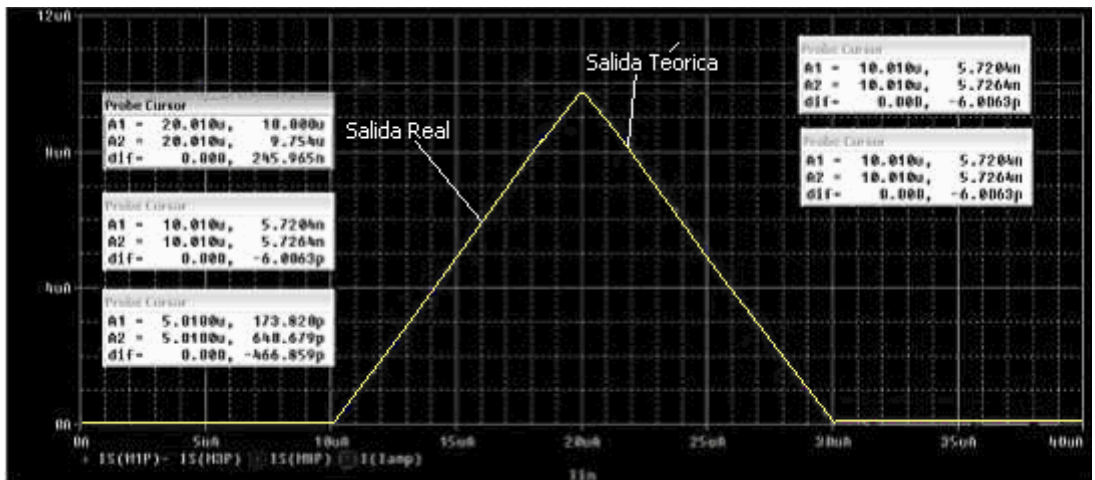


Figura 4.21. Función Triangular Simétrica

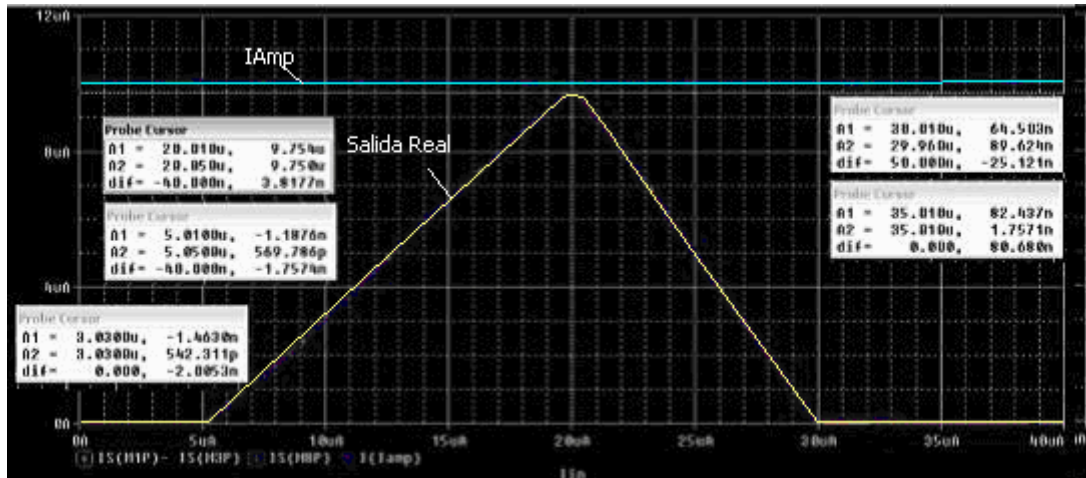


Figura 4.22. Función Triangular Asimétrica.

Las condiciones para la simulación de la función triangular asimétrica de la Figura 4.22 se mantienen a excepción de I_a que adopta un valor de 5 μA . En este caso el lado izquierdo de la función comienza a elevar su valor a partir de 5 μA . Llega a su valor máximo, 9.75 μA , en 20 μA y posteriormente comienza a descender hasta alcanzar su valor mínimo en 30 μA .

Con esto se finaliza la presentación de la serie de circuitos utilizados para la generación de las funciones trapezoidales simétrica y asimétrica, así como las funciones triangulares simétrica y asimétrica. Se considera que los valores de error encontrados son lo suficiente pequeños como para ser despreciados. De la misma manera, el error no se considera cuando el circuito trabaja en rangos de corriente fuera de 0 a 40 μA , aunque podría extenderse haciendo las pruebas pertinentes para comprobar su correcto funcionamiento.

La Figura 4.23 contiene el listado para la simulación en Spice del MFC propuesto, y del cual los resultados obtenidos muestran que tiene un grado de exactitud aceptable, programabilidad en tiempo real y variedad de tipos de funciones de membresía a su salida.

```

Circuito Funciones de Membresia S y Z
*Output from node 16
*subckt tmfsub Vdd Iin Ia Ib Ic Id Iamp Iout
.subckt tmfsub 1 2 8 9 10 11 5 16

*Entrada Iin
M1N 2 2 0 0 modn W=.35u L=.35u
M2N 3 2 0 0 modn W=.35u L=.35u
M3N 4 2 0 0 modn W=.35u L=.35u

*Entrada Iamp
M5P 5 5 1 1 modp W=.72u L=.72u
M6P 6 5 1 1 modp W=.72u L=.72u
M7P 7 5 1 1 modp W=.72u L=.72u

*Salida XS21
M1P 15 15 1 1 modp W=.72u L=.72u
M2P 14 15 1 1 modp W=.72u L=.72u

*Salida XS22
M3P 12 12 1 1 modp W=.72u L=.72u
M4P 13 12 1 1 modp W=.72u L=.72u

*Diode salida restador
M8P 16 16 1 1 modp W=.72u L=.72u

*Subcircuitos
*SZ
X1S 1 3 8 9 5 15 1 sssub
X2S 1 4 10 11 7 12 1 sssub
*Restador
X3R 1 14 13 16 restadorsub

.ends tmfsub

```

Figura 4.23. Subcircuito Spice para funciones de membresía trapezoidales, triangulares, S y Z

4.4. Detector de Mínimos

Los circuitos máximo y mínimo se analizan conjuntamente debido a que uno se puede obtener del otro utilizando las leyes De Morgan [6].

Dentro de los diferentes métodos de Inferencia reportados, algunos combinan las reglas y después defusifican la conclusión global. Esto ocurre en el método MIN/MAX (Mamdani), el que usualmente emplea el centro de gravedad (COG) o *Middle of Maxima* (MOM) como estrategias defusificadoras [11].

Los circuitos conectivos son usados para implementar el conector MIN entre las reglas antecedentes [12] de acuerdo con las leyes De Morgan mediante la siguiente expresión

$$\text{Min}(I_1, \dots, I_n) = \overline{\overline{\text{Max}(I_1, \dots, I_n)}} = I_{ref} - \text{Max}(I_{ref} - I_1, \dots, I_{ref} - I_n) \quad (4.15)$$

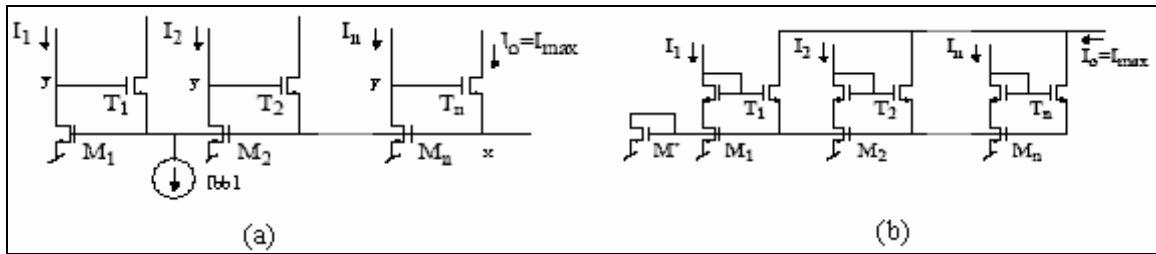


Figura 4.24. Circuito detector de máximo (a) en configuración fuente común; (b) con espejo de corriente Wilson mejorado.

donde I_1, \dots, I_N son las corrientes de entrada a la celda detector de máximo e I_{ref} es el máximo valor de las corrientes de entrada.

Entonces, la corriente mínima se obtiene como el complemento del máximo de sus complementos. El operador mínimo puede ser implementado por subcircuitos complemento correspondientes a las n entradas al subcircuito detector de máximo más una a las salida de éste.

El circuito de la Figura 4.24 (b) es el usado para implementar las funciones MIN/MAX ya que presenta ventajas sobre el de la Figura 4.24(a). El circuito de la Figura 4.24 (a), la fuente de corriente I_{bb1} consume potencia, área y velocidad de procesamiento; En la Figura 4.24 (b) se reemplaza la fuente de corriente I_{bb1} por un elemento MOS en configuración de diodo y su estructura básica esta basada en un espejo de corriente Wilson mejorado, conservando su nodo de salida de alta impedancia así como el comportamiento de seguidor de voltaje del nodo y al x , explicado con más detalle en la sección 3.7.

Otra característica de la arquitectura máximo utilizada es que todos los elementos están conectados en fuente común, resultando en una topología altamente modular, permitiendo con esto, la expansión a n entradas tomando en cuenta que la impedancia de salida aumenta en un factor de $p^{1/2}$ porque p transistores T_i están conduciendo una corriente I_{max}/p . La precisión del circuito es reducida debido a la aparición de errores de DC por *mismatching* [12].

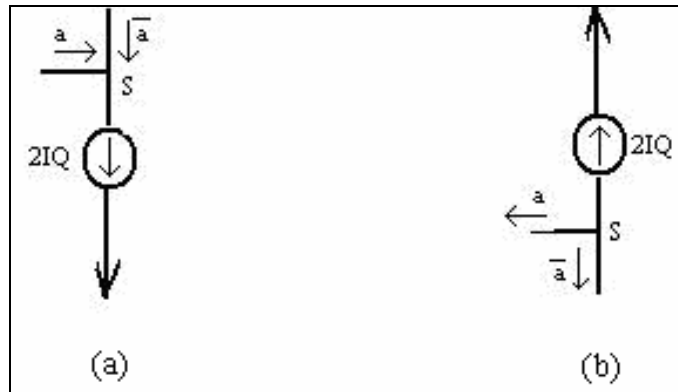


Figura 4.25. Complemento (a) positivo; (b) negativo.

La operación complemento es fácilmente realizable en modo corriente aplicando KCL al nodo S de la Figura 4.25, se tienen dos tipos de complementos, positivo (entrando a S) y negativo (saliendo de S).

Conectando un complemento en cada entrada del detector de máximos y uno a su salida, realizamos la operación descrita en la ecuación 4.15, obteniendo así, el mínimo de la señal de entrante.

Un error por *mismatching* entre los nodos de entrada y de salida en la implementación del complemento es mostrado en la Figura 4.27 el cual puede ser compensado separando las señales de entrada al complemento por medio de la Figura 4.26.

La siguiente observación es que cuando las tres funciones TMF tienen el mismo máximo de corriente ($I_{amp1}=I_{amp2}=I_{amp3}$), se presenta un error por discriminación como el de la Figura 4.29.

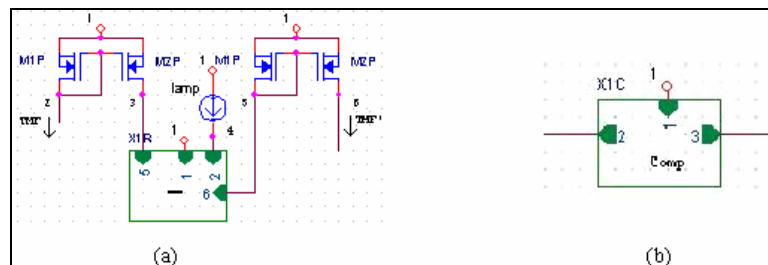


Figura 4.26. (a) Complemento propuesto para evitar *Mismatching*;
(b) Símbolo del complemento.

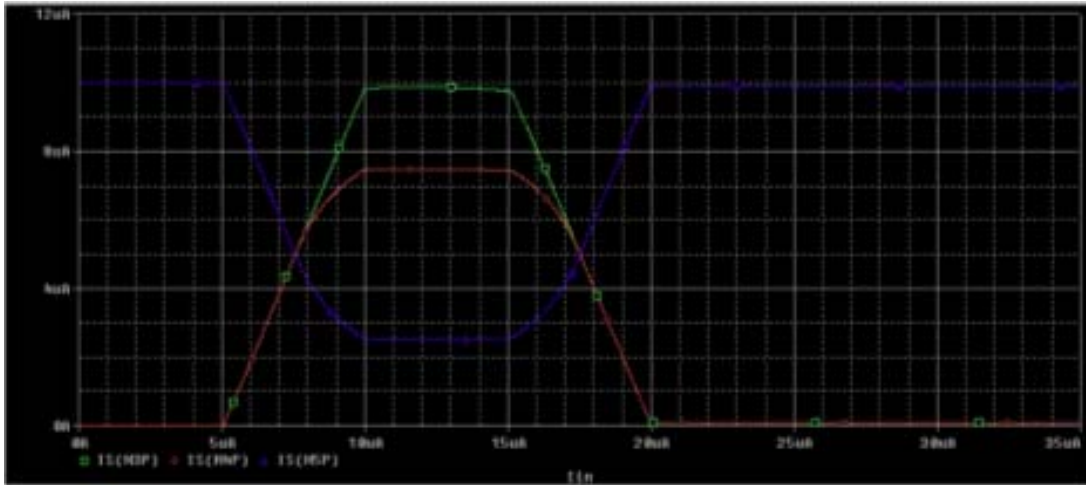


Figura 4.27. Operación complemento (trazo en Azul), entrada (trazo en Verde), error en la entrada por Mismatching (trazo en Rojo).

El error por discriminación de la Figura 4.29, se da por la incapacidad del circuito de máximo para distinguir entre dos o más valores de entrada muy cercanos o parecidos. Los momentos críticos se dan cuando las corrientes I_{MAX} son iguales, siendo la respuesta del detector de máximo la suma de las corrientes mencionadas. La Figura 4.28 muestra los parámetros que se usaron para las funciones de membresía de prueba para el circuito mínimo, la simulación fue hecha usando una fuente de voltaje de 5 Volts conectada al nodo 1 del circuito detector de mínimos. Las simulaciones se realizaron usando los subcircuitos máximo y complemento incluidos en este trabajo.

Iin	280	1u	Ib2	12	0	13u	
Iamp1	7	0	10u	Ib3	20	0	16u
Iamp2	15	0	10u	Ic1	5	0	15u
Iamp3	23	0	10u	Ic2	13	0	18u
Ia1	3	0	5u	Ic3	21	0	21u
Ia2	11	0	8u	Id1	6	0	20u
Ia3	19	0	11u	Id2	14	0	23u
Ib1	4	0	10u	Id3	22	0	26u

Figura 4.28. Parámetros usados por las tres funciones de membresía de prueba para el circuito detector de mínimos de la Figura 4.30

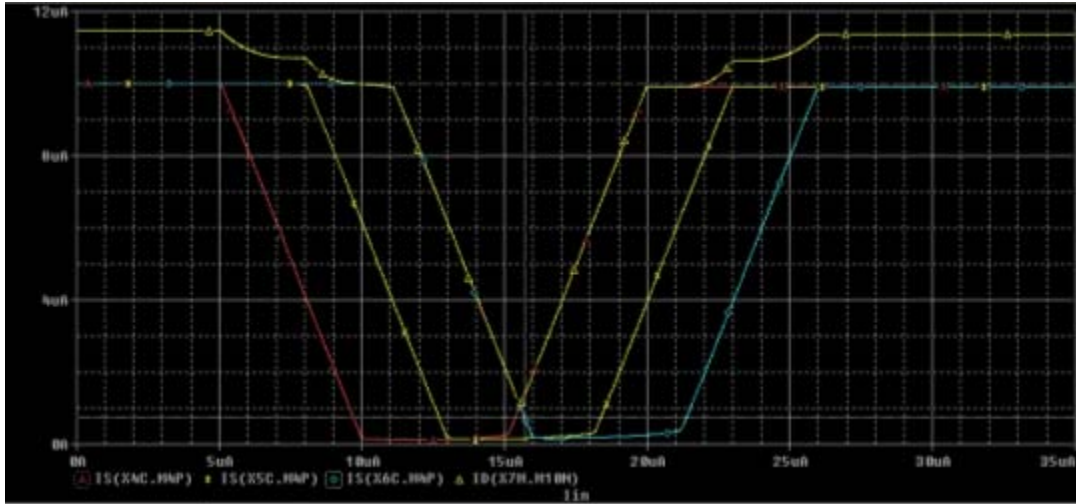


Figura 4.29. Complementos Funciones Trapezoidales, error por discriminación al inicio y final del barrido de I_{in} .

La Figura 4.29 muestra el error por discriminación tomada del transistor de salida del subcircuito detector de máximos, dicho error se produce por la incapacidad del circuito de detectar valores iguales o muy parecidos, en este caso, tiene problemas con la discriminación de los valores $I_{amp1}=I_{amp2}=I_{amp3}=10\mu A$.

El error de la Figura 4.29 muestra que al inicio y al final del barrido de la corriente de entrada se presenta un error por discriminación, además se puede apreciar que hay un exceso en el flujo de corriente de salida. Para limitar este exceso, se disminuyó la relación geométrica de los transistores M_{3N} , M_{6N} y M_{9N} cambiando dicha relación de $(W/L)_N = 0.36\mu/0.36\mu$ a $(W/L) = 0.36\mu/1\mu$, ya que por estos transistores es por donde fluye la corriente máxima al momento en que se produce la discriminación. De esta forma mejoramos el desempeño del detector de máximos, como se puede apreciar en la respuesta de la simulación mostrada en la Figura 4.31.

Una vez solucionados los errores por *mismatching* y discriminación, el detector de Mínimos propuesto fue probado con tres TMF similares a la presentada en la Figura 4.30, con los parámetros de la Figura 4.28, es decir, una fuente de 3 V. conectada al nodo 1 y basándose en las leyes de complemento De Morgan, la respuesta se muestra en la Figura 4.31, mostrando una función mínimo que es fiel sobre las TMF de interés.

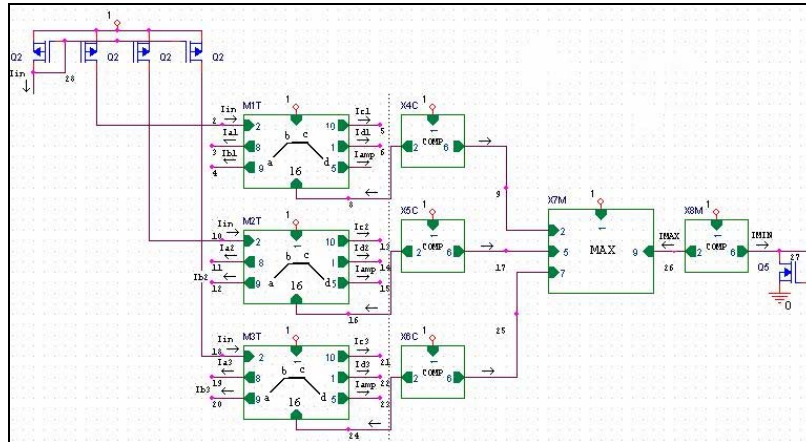


Figura 4.30. Circuito Mínimo a la derecha de la línea punteada, tres TMF de prueba a la izquierda.

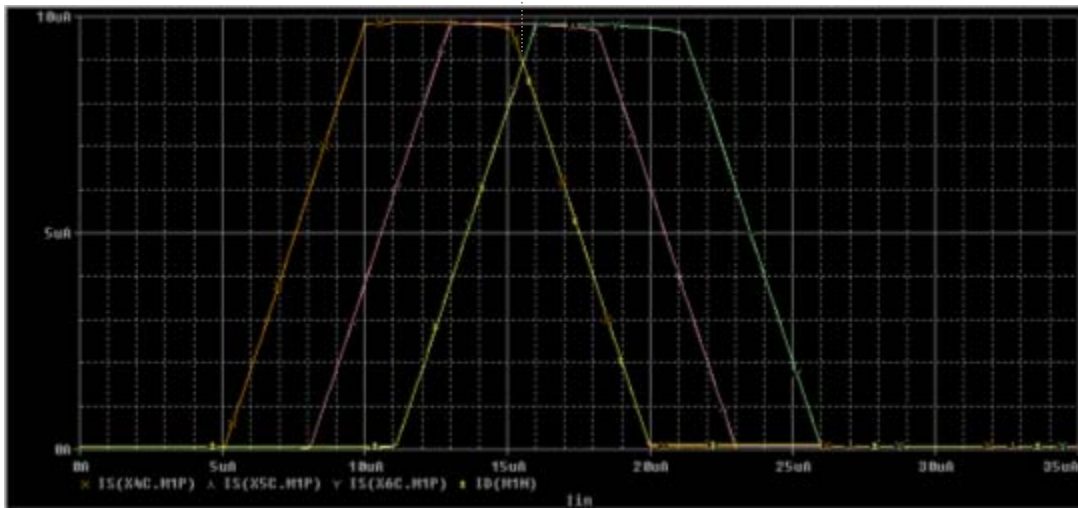


Figura 4.31. Mínimo (trazo en Amarillo), de entre tres funciones de Membresía con las características mostradas en la Figura 4.28.

La Figura 4.32 muestra el listado utilizado para la simulación del subcircuito detector de mínimos de la Figura 4.30. La simulación fue hecha usando el modelo de los transistores MOS, el detector de máximos y el subcircuito para la obtención de complemento, reportados en este trabajo. Las dimensiones de los transistores usados pueden ser identificadas directamente de la Figura 4.32.

Note que la Figura 4.32 sólo es el listado para la implementación del subcircuito mínimo, se hace referencia a la Figura 4.28 ya que ésta contiene los parámetros utilizados

por las tres funciones de membresía que se incluyen como comentario en la Figura 4.32, sólo como un detalle para facilitar la interpretación del proceso.

Si se alimenta con una fuente de voltaje 3 volts conectada en el nodo 1 de la Figura 4.30, el circuito llega a tener un rango dinámico de $0 < I_{IN} < 130 \mu A$, perdiendo $.5 \mu A$ de un total de $10 \mu A$.

```
*MINIMO
*Output from node 7
*subckt minsub2ent Vdd Iin1 Iin2 Imin
.subckt minsub2ent 1 2 3 7

*Espejos Reflejo Iin a los 3 TMC
*M1P 28 28 1 1 modp W=.72u L=.72u
*M2P 2 28 1 1 modp W=.72u L=.72u
*M3P 10 28 1 1 modp W=.72u L=.72u
*M4P 18 28 1 1 modp W=.72u L=.72u

*Diodo Salida
*M1N 27 27 0 0 modn W=.36u L=.36u

*Subcircuitos
*subckt tmfsub Vdd Iin Ia Ib Ic Id Iamp Iout (TMF)
*X1T 1 2 3 4 5 6 7 8 tmfsub
*X2T 1 10 11 12 13 14 15 16 tmfsub
*X3T 1 18 19 20 21 22 23 24 tmfsub
*.subckt compsub Vdd Iin Iout (Complemento)
X1C 1 2 4 compsub
X2C 1 3 5 compsub
X4C 1 6 7 compsub

*.subckt maximesub Vdd Iin1 Iin2 Iin3 Imax
X3M 1 4 5 6 maximesub2ent
.ends minsub2ent
```

Figura 4.32. Archivo de Simulación SPICE Circuito Detector de Mínimos con tres TMF como entrada.

Se han optimizado y propuesto los subcircuitos necesarios para la implementación de bloques de reglas como se verá en el siguiente capítulo. Otra ventaja es la alta modularidad que presentan permitiendo escalar en tamaño el circuito fácilmente. Las pérdidas reportadas para las propuestas están en el orden de nanoampers lo que las hace buenas opciones para implementar un sistema.