

3

Celdas Básicas

Introducción

Muchas de las celdas utilizadas a lo largo de este trabajo están conformadas por circuitos más pequeños que presentan un comportamiento particular. En capítulos posteriores es necesario enfocarse en el funcionamiento de las celdas a ser presentadas y no desviarse en la explicación de estas topologías más sencillas, por lo que en el presente capítulo se exponen las configuraciones básicas a ser utilizadas. Se comienza por el modelo del transistor utilizado. Posteriormente, se presenta el circuito básico de todas las topologías expuestas en el trabajo: el espejo de corriente. A continuación, la celda translineal utilizada posteriormente en el multiplicador/divisor. Y por último, la celda básica utilizada para la realización del detector de máximo.

3.1 Modelo del Transistor

El MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) es un dispositivo que puede funcionar como un amplificador o un interruptor. Es conocido como un transistor de efecto de campo, ya que la corriente que fluye por el canal formado entre sus terminales se debe a la intensidad de un campo eléctrico, mismo que es ocasionado por un voltaje aplicado en la terminal de control. Cabe mencionar que la corriente es conducida por un solo tipo de portador, electrones o huecos, dependiendo del tipo de MOSFET. En caso de que los portadores sean electrones se le conoce como MOSFET de canal n, y en caso contrario como MOSFET de canal p. A continuación se presenta la estructura física de los dos tipos de MOSFETs mencionados anteriormente:

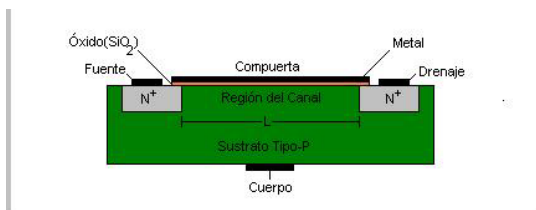


Figura 3.1 MOSFET Tipo N

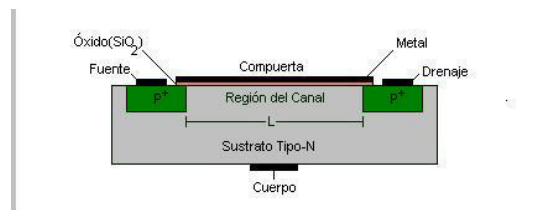


Figura 3.2 MOSFET Tipo P

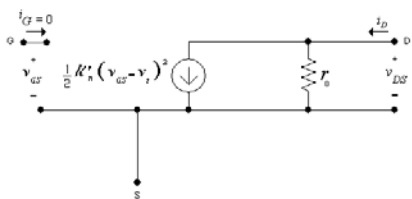


Figura 3.3 Modelo de Gran Señal

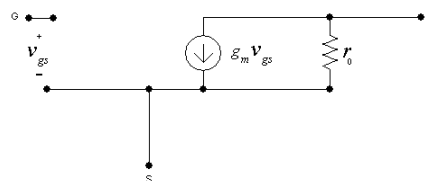


Figura 3.4 Modelo de Pequeña Señal

Para el modelo de gran señal, el análisis se enfoca en las características corriente-voltaje que pueden ser medidas en DC o a bajas frecuencias. En este modelo se establece la dependencia de la corriente con el voltaje que define las condiciones de polarización del transistor y domina los parámetros de transconductancia del modelo de pequeña señal. De esta relación se obtienen las diferentes regiones de operación: región de corte, triodo y saturación. El modelo equivalente de gran señal se presenta en la Figura 3.3.

En la Figura 3.4 se puede observar el modelo equivalente de pequeña señal. En éste se parte del análisis de DC y se considera que el MOSFET funciona como una fuente de corriente controlada por voltaje. En este modelo el transistor acepta una señal v_{gs} , entre compuerta y fuente, y entrega una corriente $g_m v_{gs}$ en el drenaje del transistor [2]. En el análisis de pequeña señal todas las fuentes ideales de voltaje se sustituyen por cortos circuitos y las fuentes ideales de corriente por circuitos abiertos.

La característica más importante de este modelo radica en asumir que la corriente de drenaje, cuando el transistor se encuentra en saturación, no depende del voltaje en el drenaje. No obstante, en la realidad existe una dependencia de v_{DS} por parte de la corriente de drenaje, esta dependencia es modelada mediante la resistencia r_0 . Por último, cabe resaltar que g_m y r_0 dependen del punto de operación en DC del MOSFET obtenido del modelo de gran señal.

Todos los transistores utilizados en lo sucesivo estarán basados en tecnología MOSIS de 0.18 μ m. Los parámetros de los modelos para los transistores tipo N y tipo P se presenta a continuación y fueron obtenidos de la página de Mosis [15]:

Transistor tipo N

```
.MODEL MODN NMOS (
+VERSION = 3.1          TNOM = 27          TOX = 4.1E-9
+XJ = 1E-7             NCH = 2.3549E17    VTHO = 0.3761998
+K1 = 0.5817327       K2 = 3.398626E-3    K3 = 1E-3
+K3B = 6.1699302      WO = 1E-7          NLX = 1.756186E-7
+DVTOW = 0            DVT1W = 0          DVT2W = 0
+DVTO = 1.4689984     DVT1 = 0.4166442    DVT2 = 8.946887E-3
+UO = 282.8878274     UA = -1.273908E-9    UB = 2.339211E-18
+UC = 7.500776E-11    VSAT = 1.127903E5    AO = 2
+AGS = 0.4566255     BO = 1.795958E-7    B1 = 5E-6
+KETA = -6.481343E-3  A1 = 0              A2 = 0.7480243
+RDSW = 105          PRWG = 0.4431205    PRWB = -0.2
+WR = 1              WINT = 0            LINT = 1.557007E-8
+XL = 0              XW = -1E-8          DWG = -2.430585E-8
+DWB = 1.999491E-8   VOFF = -0.0948017   NFACTOR = 2.1860065
+CIT = 0             CDSC = 2.4E-4        CDSCD = 0
+CDSCB = 0           ETAO = 2.576968E-3  ETAB = 6.028975E-5
+DSUB = 0.0170442    PCLM = 0.86935      PDIBLC1 = 0.1741253
+PDIBLC2 = 2.173927E-3 PDIBLCB = -0.1      DROUT = 0.7146061
+PSCBE1 = 2.161003E9  PSCBE2 = 1.387607E-9 PVAG = 8.638546E-3
+DELTA = 0.01        RSH = 6.6           MOBMOD = 1
+PRT = 0             UTE = -1.5          KT1 = -0.11
+KT1L = 0            KT2 = 0.022         UA1 = 4.31E-9
+UB1 = -7.61E-18     UC1 = -5.6E-11      AT = 3.3E4
+WL = 0              WLN = 1             WW = 0
+WWN = 1             WWL = 0             LL = 0
+LLN = 1             LW = 0              LWN = 1
+LWL = 0             CAPMOD = 2          XPART = 0.5
+CGDO = 8.24E-10     CGSO = 8.24E-10     CGBO = 1E-12
+CJ = 9.578961E-4    PB = 0.8            MJ = 0.3750441
+CJSW = 2.611511E-10 PBSW = 0.8004708    MJSW = 0.1413817
+CJSWG = 3.3E-10     PBSWG = 0.8004708   MJSWG = 0.1413817
+CF = 0              PVTHO = 3.880427E-4 PRDSW = -5
+PK2 = 7.26317E-4    WKETA = 7.869884E-3 LKETA = -4.658118E-3
+PUO = 33.4918161    PUA = 1.569384E-10  PUB = 5.937982E-24
+PVSAT = 1.207596E3  PETAO = 1.003159E-4 PKETA = -5.568264E-3
*)
*
```

Figura 3.5 Modelo del MOSFET tipo N con tecnología MOSIS de 0.18 μ m

Transistor tipo P

```

.MODEL MODP PMOS (
+VERSION = 3.1
+XJ = 1E-7
+K1 = 0.5612909
+K3B = 16.2564569
+DVTOW = 0
+DVTO = 0.5975802
+UO = 110.7725713
+UC = -1E-10
+AGS = 0.3841287
+KETA = 0.0246598
+RDSW = 234.5147338
+WR = 1
+XL = 0
+DWB = 1.015739E-8
+CIT = 0
+CDSCB = 0
+DSUB = 2.411095E-3
+PDIBLC2 = -8.336845E-6
+PSCBE1 = 4.130996E10
+DELTA = 0.01
+PRT = 0
+KT1L = 0
+UB1 = -7.61E-18
+WL = 0
+WWN = 1
+LLN = 1
+LWL = 0
+CGDO = 6.51E-10
+CJ = 1.166499E-3
+CJSW = 2.443251E-10
+CJSWG = 4.22E-10
+CF = 0
+PK2 = 3.322217E-3
+PUO = -2.1784074
+PVSAT = -50
TNOM = 27
NCH = 4.1589E17
K2 = 0.0334953
WO = 1E-6
DVT1W = 0
DVT1 = 0.2345275
UA = 1.383056E-9
VSAT = 1.858989E5
BO = 3.53381E-7
A1 = 0.4568597
PRWG = 0.5
WINT = 0
XW = -1E-8
VOFF = -0.0922144
CDSC = 2.4E-4
ETAO = 1.934508E-3
PCLM = 1.2012596
PDIBLCB = 0.1
PSCBE2 = 1.59119E-8
RSH = 7.5
UTE = -1.5
KT2 = 0.022
UC1 = -5.6E-11
WLN = 1
WUL = 0
LW = 0
CAPMOD = 2
CGSO = 6.51E-10
PB = 0.8426653
PBSW = 0.811227
PBSWG = 0.811227
PVTHO = 3.558724E-3
WKETA = 0.0340651
PUA = -7.70492E-11
PETAO = 7.209832E-5
LEVEL = 3
TOX = 4.1E-9
VTHO = -0.3936248
K3 = 0
NLX = 1.330761E-7
DVT2W = 0
DVT2 = 0.1
UB = 2.208861E-21
AO = 1.8808667
B1 = 9.07266E-7
A2 = 0.3
PRWB = 0.424768
LINT = 2.741147E-8
DWG = -5.511348E-8
NFACTOR = 2
CDSCD = 0
ETAB = -5.867672E-4
PDIBLC1 = 1.418763E-4
DROUT = 2.918161E-4
PVAG = 0.4003163
MOBMOD = 1
KT1 = -0.11
UA1 = 4.31E-9
AT = 3.3E4
WW = 0
LL = 0
LWN = 1
XPART = 0.5
CGBO = 1E-12
MJ = 0.4041965
MJSW = 0.3145024
MJSWG = 0.3145024
PRDSW = 10.1907428
LKETA = -4.332251E-3
PUB = 1E-21
PKETA = -5.881821E-3
)
*
```

Figura 3.6 Modelo del MOSFET tipo P con tecnología MOSIS de 0.18µm

3.2 Espejos de corriente

Los espejos de corriente son elementos muy usados en el diseño de circuitos integrados trabajando en modo corriente. Estos tienen la capacidad de manejar diferentes circuitos a su salida [23] (fan-out) el cual es de 1. Si un espejo de corriente va a manejar varios circuitos a su salida, la corriente tiene que ser reflejada el mismo número de veces como elementos tenga conectados.

El espejo de corriente tiene la capacidad de invertir las señales, de ser una corriente de entrada a una de salida, así como de escalarla. Para lograrlo, los elementos que componen el espejo deben tener las mismas características de fabricación. El espejo de corriente más simple se muestra en la Figura 3.7, y es modelado por:

$$I_0 = \frac{\beta_2}{2}(V_{GS1} - V_T)^2 = \frac{\beta_2}{\beta_1} I_i = \frac{W_2 L_1}{L_2 W_1} I_i = w I_i \quad (3.1)$$



FIGURA 3.7. Espejos de corriente simples (a) Tipo N y (b) Tipo P

Los espejos de corriente que ofrecen un mejor desempeño que los espejos de corriente simple están resumidos en la Figura 3.8

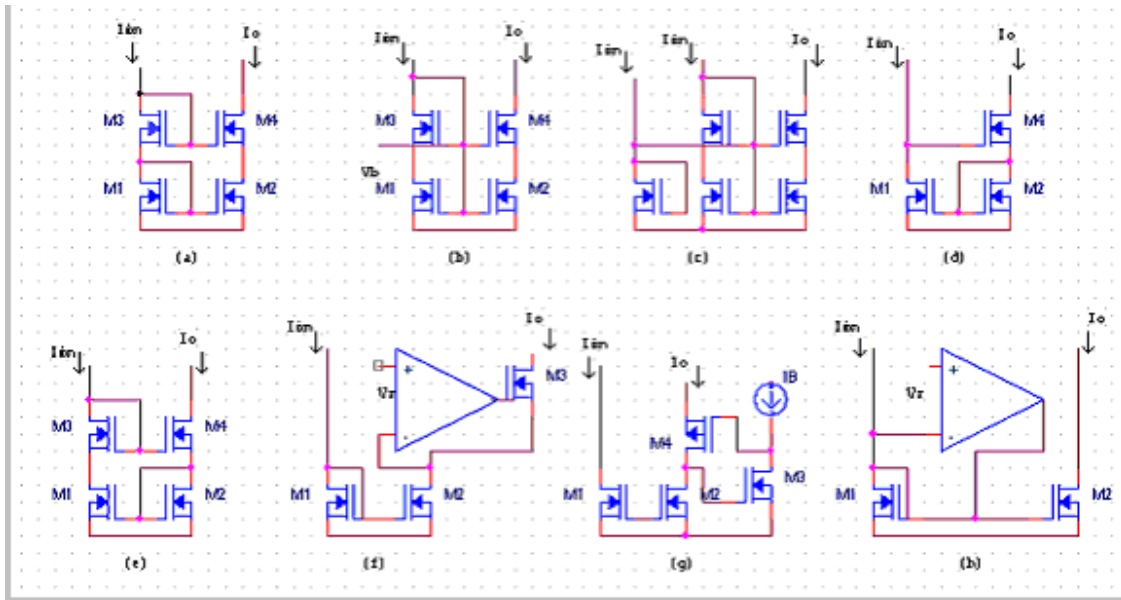


Figura 3.8 Resumen de espejos de corriente tipo n: (a) cascode convencional; (b) cascode externamente y (c) adaptivamente polarizado; (d) Wilson; (e) Wilson mejorado; (f) and; (g)and regulada; (h) activo

Las opciones entre los diferentes tipos de espejos de corriente buscan mejorar a conveniencia la resistencia de salida, así como el máximo rango dinámico posible [2].

3.3 Celda Translineal Básica

La celda translineal básica, es el subcircuito más importante para implementar el subcircuito Multiplicador/Divisor propuesto en [3] y optimizado en [16]. Esta celda funciona bajo el Principio Translineal Generalizado definido en [4] y no presenta mayores problemas en su implementación como circuito independiente, hablando en términos de balance de cargas u otros factores que podrían degradar su funcionamiento.

La topología de la celda translineal que realiza funciones de la forma:

$$F = \frac{(I_{in})^2}{4I_w} \quad (3.2)$$

El esquemático de esta topología se muestra en la Figura 3.9a. El principio Translineal se basa en la Ley de Voltajes de Kirchoff (KVL), el cual dice que la suma de todos los voltajes V_{GS} de un lazo formado por transistores MOS debe ser igual a cero, por lo tanto, considerando la ecuación cuadrática característica de los transistores MOS, tenemos que [4]:

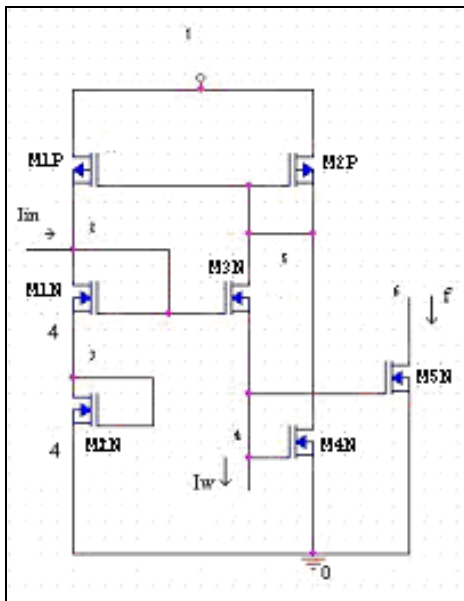
$$\sum_{CW} \sqrt{\frac{I_D}{W}} = \sum_{CCW} \sqrt{\frac{I_D}{W}} \quad (3.3)$$

Para analizar la celda translineal básica de la Figura 3.9a, se parte de la función propuesta en la ecuación 3.4.

$$\sqrt{f} + \sqrt{I_w} = 2\sqrt{f + I_w + I_{in}/4} \quad (3.4)$$

Esta ecuación se obtiene aplicando KVL al lazo formado por los transistores M_{1N} , M_{2N} , M_{3N} y M_{4N} de la Figura 3.9a, que como se puede apreciar, tiene la forma de la ecuación (3.3). Si ambos lados de la ecuación 3.4 son elevados al cuadrado, llegamos a la función deseada modelada por la ecuación 3.2. Los resultados de la simulación muestran una salida libre de errores, por lo que la celda translineal puede ser usada como subcircuito dentro del multiplicador/divisor presentado posteriormente en la sección 5.1.

La Figura 3.9b muestra el listado utilizado para la simulación de la celda translineal de la Figura 3.9a que usa el modelo del transistor MOS de la sección 3.1. Las dimensiones de los transistores se pueden obtener directamente del listado proporcionados en la Figura 3.9b.



```
* .subckt Subdiv Vcc f Ix Iw
.subckt subdivx 1 6 2 4

M1P 2 5 1 1 modp W=(3.6u) L=(.36u)
M2P 5 5 1 1 modp W=(3.6u) L=(.36u)
M1N 2 2 3 3 modn W=(1.44u) L=(.36u)
M2N 3 3 0 0 modn W=(1.44u) L=(.36u)
M3N 5 2 4 4 modn W=(.36u) L=(.36u)
M4N 5 4 0 0 modn W=(.36u) L=(.36u)
M5N 5 4 0 0 modn W=(.36u) L=(.36u)

.ends subdivx
```

(a) Esquemático

(b) Listado de componentes

Figura 3.9 Celda Translineal Básica

La simulación de la Figura 3.10 fue realizada usando una fuente de corriente $I_{IN}=[0-150] \mu A$ y una $I_W=5 \mu A$, los resultados obtenidos muestran un rango dinámico mayor a los 100 μA al utilizar una fuente de voltaje de 3 V conectada al nodo 1 de la Figura 3.9a.

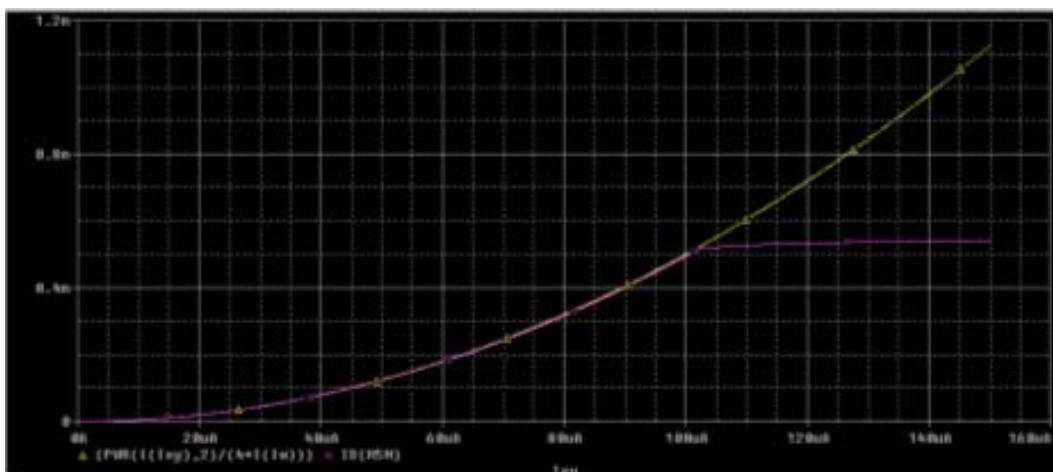


Figura 3.10. Respuesta de la Celda básica Translineal

3.4 Celda Básica para Circuito Detector de Máximo

El circuito de amplificación más sencillo es el conocido como amplificador de fuente común polarizado mediante una carga activa. Aunado a esto, es posible controlar otro transistor mediante un amplificador de fuente común si se le conecta de la siguiente manera:

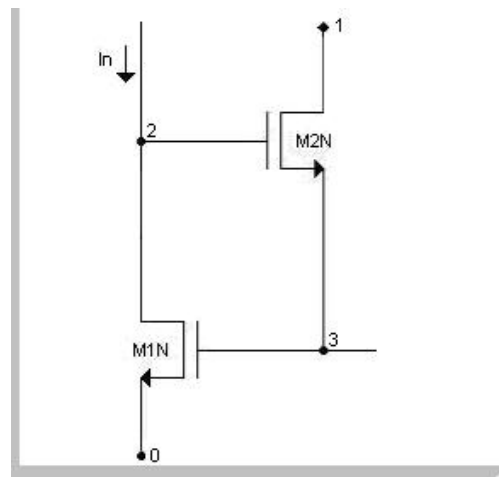


Figura 3.11 Esquema de amplificación con un solo transistor

En principio se tiene un amplificador simplemente terminado conectado de la manera en que se muestra en la Figura 3.11. El voltaje en el nodo 3 es el encargado de polarizar al transistor M_1N . Este mismo voltaje se replica en el nodo 2 y polariza al transistor M_2N . De esta forma se puede observar al circuito como un seguidor de voltaje del nodo 3 al nodo 2. Ahora, si se conectan varios de estos circuitos en cascada se obtiene un circuito configurado de la forma que se presenta a continuación.

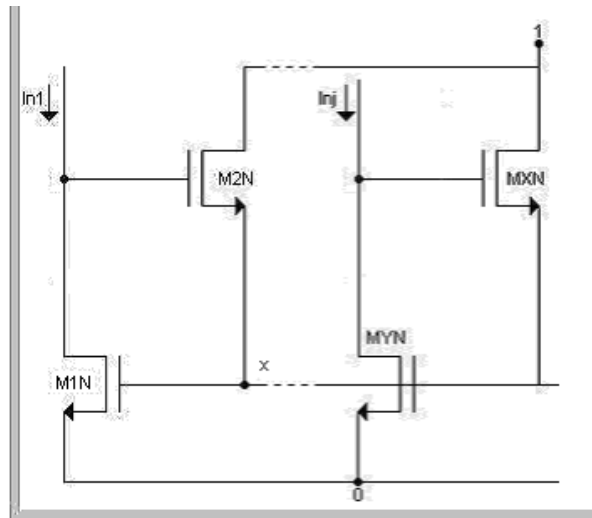


Figura 3.12 Conexión en cascada para la obtención del máximo

La Figura 3.12 muestra una configuración para N circuitos conectados en cascada con j corrientes de entrada [5]. Si se sigue el funcionamiento descrito anteriormente se tendrá un voltaje en el nodo x asociado a la corriente máxima que circula por uno de los transistores que se encuentra entre M_1N y M_YN . Este voltaje hará que sólo el transistor asociado a la corriente máxima, sea el que se encuentre en saturación y que el resto se encuentre trabajando en la región de triodo. A su vez, este voltaje se replica en el drenaje del transistor por el que circula la corriente máxima (en este caso, M_1N si $I_{n1} = I_{\max}$), por lo que se satura el transistor cuya compuerta está conectada al drenaje de M_1N .

De esta forma sólo se saturan los transistores del circuito que se encuentra asociado a la corriente de entrada máxima. Teniendo esto en cuenta, es posible tomar esta corriente y dirigirla a un nodo de salida si se le agrega un transistor más al circuito mostrado, como se puede ver en la Figura 3.12. Realizando esta modificación el circuito se altera y queda configurado de la forma en que se muestra en la Figura 3.13

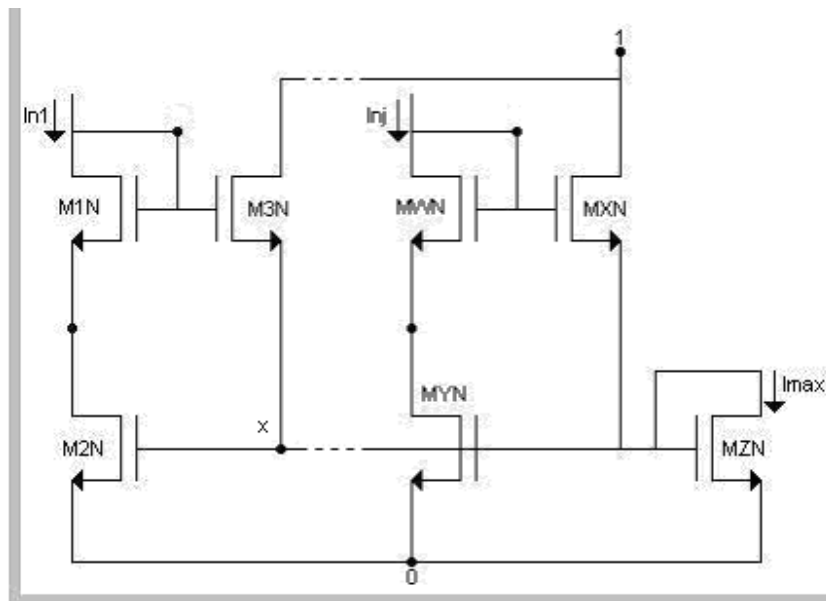


Figura 3.13 Esquema de conexión en cascada con un espejo de corriente conectado como carga

El transistor agregado permite reflejar la corriente de entrada al nodo de salida cuando ésta sea la corriente máxima de entre todas las corrientes de entrada. Si se observa cada circuito individualmente, se puede considerar como un amplificador de fuente común con un espejo de corriente conectado como carga activa. Bajo esta configuración el funcionamiento sigue siendo el mismo, el voltaje en el nodo x es el asociado a la corriente máxima y sólo los transistores asociados a esta corriente se saturan, el resto trabaja en la región de triodo. Un análisis más detallado del amplificador en modo fuente común se encuentra en [2].

Si al circuito presentado en la Figura 3.13 se le agrega un transistor en configuración diodo acoplado al nodo x, se obtiene la corriente máxima de entrada a través de este nuevo transistor. Bajo este esquema es posible la construcción de un circuito detector de máximo para N corrientes de entrada.

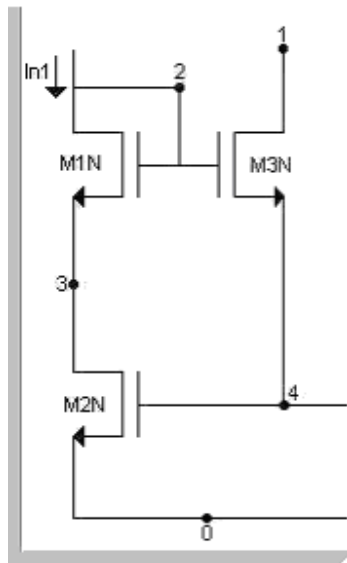


Figura 3.14 Celda básica para detección de máximo

```

*Declaración de Fuentes

Vdd 1 0 3
In1 1 2 2u

M1N 2 2 3 0 modn W=.36u L=.36u
M2N 3 4 0 0 modn W=.36u L=.36u
M3N 1 2 4 0 modn W=.36u L=.36u

M7N 4 4 0 0 modn W=.36u L=.36u

.lib "mosis0_18u.lib"
.dc In1 0 5u .lu
.probe
.end

```

Figura 3.15 Archivo de simulación

El circuito presentado en la Figura 3.14 representa a la celda básica para la detección de máximo. De ahí que el circuito de la Figura 3.13, esta compuesto por dos celdas básicas de detección de máximo. Los resultados muestran el funcionamiento de la celda básica a través de su simulación. El funcionamiento de varias celdas en conjunto es objeto de estudio del detector de máximo, circuito que será presentado posteriormente.

La Figura 3.15 por su parte, muestra el archivo de simulación de la celda básica presentada en la Figura 3.14. Cabe destacar que el transistor M_7N no forma parte de la estructura de la celda ya que fue añadido con el objetivo de medir la corriente que fluye a través del transistor M_3N .

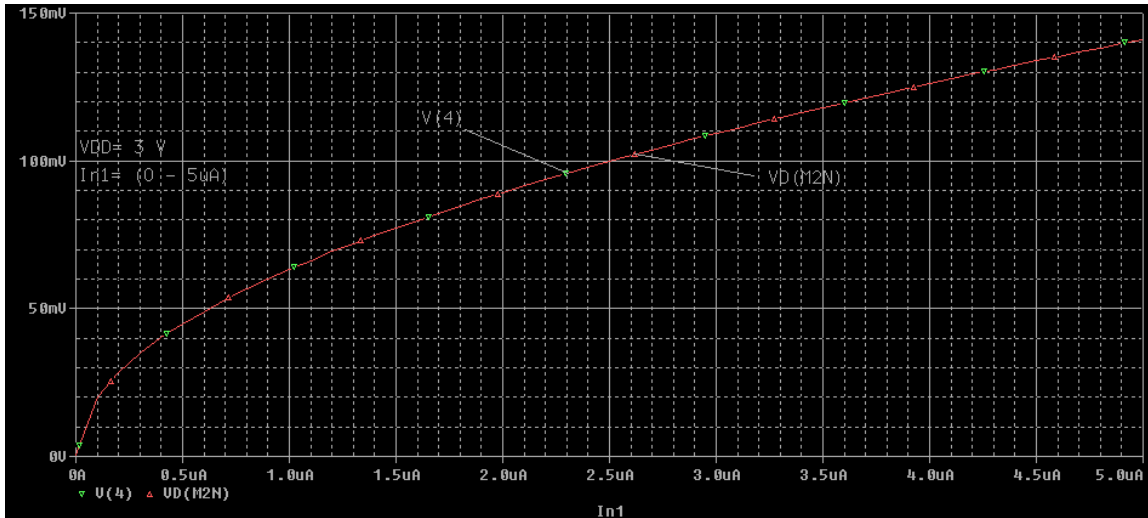


Figura 3.16 Comparación de voltajes en el nodo 4 y en M2N en la celda básica para detección de máximo

La Figura 3.16 muestra la comparación del voltaje en el nodo 4 y el voltaje en el drenaje de M_2N . En este caso se puede observar que la réplica de voltaje mencionada para el circuito de la Figura 3.11 se sigue aplicando en la celda básica. El nivel de voltaje en este nodo es el que permite que el espejo de corriente conectado a M_2N entre en operación.

El funcionamiento total de la celda depende enteramente del voltaje en la compuerta del transistor M_2N , ya que si este voltaje es muy pequeño no será posible que el espejo entre en operación, y por lo tanto no podrá reflejar la corriente de entrada al nodo de salida. En este caso se tiene funcionando una sola celda básica, razón por la cual el voltaje en el nodo 4 está directamente asociado con la corriente de entrada I_{n1} . Por lo tanto el espejo se encuentra funcionando y reflejando la corriente I_{n1} al nodo de salida. En la Figura 3.17 se muestra que la corriente $I_{n1} = I(M_1N) = I(M_3N)$, siempre y cuando el voltaje en el nodo 4 esté asociado a la corriente I_{n1} .

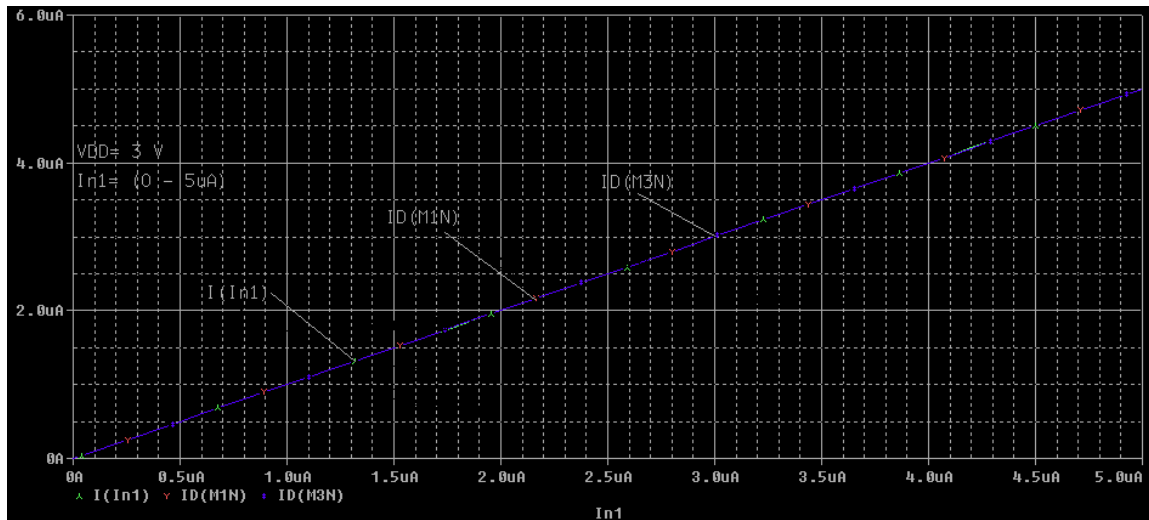


Figura 3.17 Comparación de corriente I_{n1} y corrientes de drenaje para M_{1N} y M_{3N} en la celda básica para detección de máximo

Como se puede ver en la Figura 3.17 la corriente I_{n1} es reflejada por M_{3N} hacia el nodo de salida. Si se deseara conectar celdas adicionales de este tipo, el circuito seguirá operando sin problemas..

Conclusiones

Los circuitos presentados a lo largo de este capítulo sirven de base a topologías más complejas que serán explicadas en capítulos posteriores. Por esta razón era importante demostrar el funcionamiento estable de estas celdas básicas con el fin de evitar problemas en la optimización de estructuras desarrolladas de aquí en adelante y las cuales son el verdadero propósito de este trabajo.